

애플리케이션 노트 AN-47

TOPSwitch-JX 제품군



디자인 안내서

소개

TOPSwitch-JX는 오프라인 파워 서플라이용으로 설계된 고집적 모듈식 오프라인 스위칭 IC입니다. TOPSwitch-JX를 사용하면 모든 부하 상태에서 높은 효율을 제공하는 동시에 파워 서플라이를 최대 244W까지 설계할 수 있습니다. TOPSwitch-JX는 또한 부하가 낮을 때 그리고 대기(무부하) 모드 작동 시 매우 탁월한 성능을 지닙니다. TOPSwitch-JX 제품군을 통해 설계자는 최신 에너지 효율 표준에 대한 효율성 요구 사항을 쉽게 충족할 수 있습니다. 혁신적인 독점 기능을 이용하여 전체 설계 기간과 시스템 비용은 줄이면서 비용적으로 효율적이고 컴팩트한 스위칭 파워 서플라이를 설계할 수 있습니다. TOPSwitch-JX 제품군은 강력한 기능을 갖춘 파워 서플라이의 설계를 가능하게 해주며, 출력 OVP(과전압 보호), 출력 OPP(과부하 보호), 히스테리시스(Hysteresis)를 갖고 있는 쉘터 보호 등의 강화된 안전 기능도 갖추고 있습니다.

이 제품군의 각 제품에는 고압 파워 MOSFET 및 해당 컨트롤러가 모듈식으로 집적되어 있습니다. 내부 스타트 업 바이어스 전류는 DRAIN 핀에 연결된 고압 전류 소스에서 끌어오기 때문에 스타트 업용 외부 회로가 필요하지 않습니다. 내부 오실레이터는 주파수를 변조(지터)하기 때문에 EMI를 감소시킵니다. 또한 IC에는 시스템을 보호하는 기능도 있습니다. 오토 리스타트 기능은 과부하, 출력 쇼트 또는 오픈루프 상태에서 MOSFET, 트랜스포머 및 출력 다이오드의 파워 손실을 제한합니다. 히스테리시스(Hysteresis)를 갖고 있는 쉘터 셋다운 자동 복구 기능은 접합 온도가 안전 한계치를 초과하는 경우 MOSFET 스위칭을 비활성화 시킵니다. 프로그래밍 가능한 UV/OV(저전압/과전압) 탐지 기능을 통해 라인 새그 또는 라인 서지 상태에서 파워 서플라이를 글리치 발생 없이 시작하거나 셋다운할 수 있습니다. 파워 인테그레이션스의 EcoSmart® 기술을 사용하면

TOPSwitch-JX 제품군을 사용한 파워 서플라이의 무부하 소비 전력을 100mW 아래로 낮추고 전체 입력 전압 및 부하 범위에서 일정한 효율을 유지할 수 있습니다. TOPSwitch-JX 솔루션 제품군은 EU CoC(European Code of Conduct), EC EuP, ENERGY STAR 등의 에너지 효율 표준을 쉽게 충족시킵니다.

기본적인 회로 구성

정전류, 정전력 출력 등 애플리케이션별 요구 사항에 대한 논의는 본 디자인 안내서에서 다루지 않습니다. 하지만 여기에 나온 기본 컨버터 설명에 추가적인 회로를 덧붙임으로써 해당 요구 사항들을 충족시킬 수 있습니다. 추가적인 회로 기능, 설계 예제 및 기타 정보에 대한 자세한 내용은 Power Integrations 웹 사이트를 참조하거나 PI 영업 담당자에게 문의하십시오.

범위

이 애플리케이션 노트는 TOPSwitch-JX 제품군을 사용하여 절연 AC-DC 플라이백 파워 서플라이를 설계하는 엔지니어를 위하여 제작되었습니다. 여기에는 엔지니어가 신속하게 주요 부품을 선택하고 적절한 트랜스포머 설계를 완성하는 데 도움이 되는 지침이 포함되어 있습니다. 이러한 작업을 간소화 시키도록 본 애플리케이션 노트에서는 PI Expert® 설계 소프트웨어(www.powerint.com)를 통해 무료로 사용 가능)의 일부인 PXLs 설계 스프레드시트를 직접 인용하고 있습니다. 기본적인 TOPSwitch-JX 플라이백 파워 서플라이가 그림 1에 나와 있습니다. 이는 본 애플리케이션 노트 전반의 설명에서 사용되는 부품의 참조 회로 역할도 합니다.

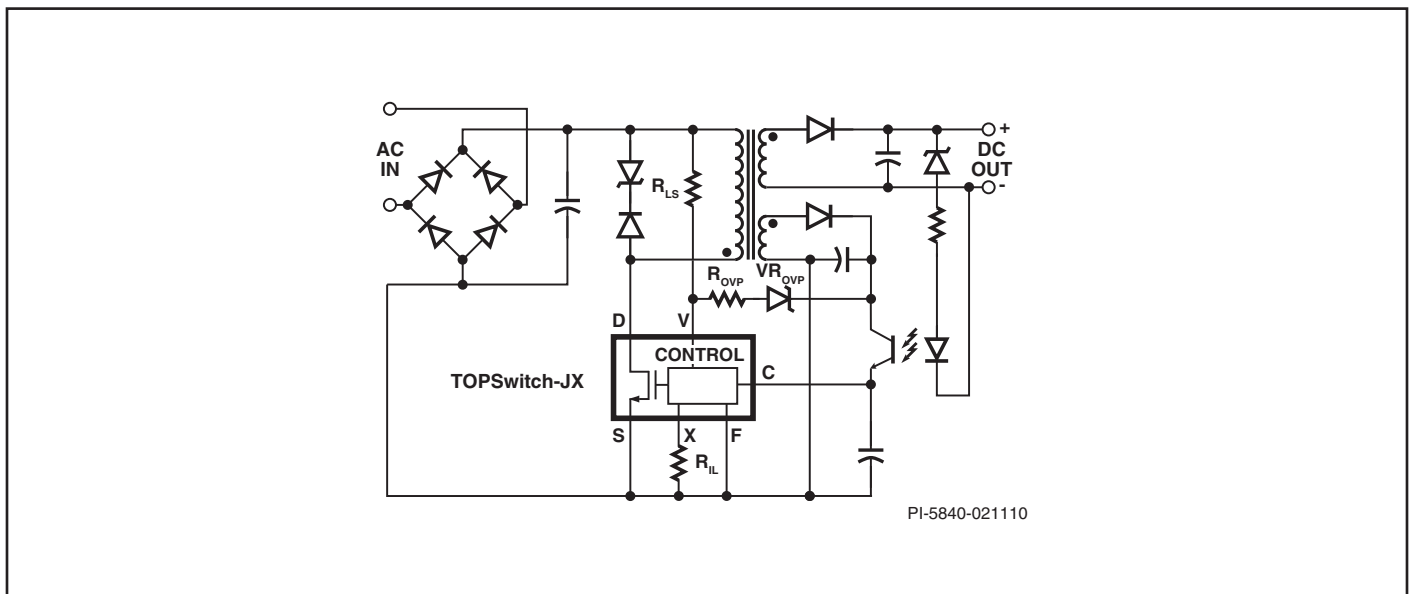


그림 1. 1차측 센싱 출력 과전압 보호, 입력 저전압 록아웃, 입력 과전압 셋다운 및 프로그래밍 가능한 전류 제한 기능을 갖춘 일반적인 TOPSwitch-JX 플라이백 파워 서플라이

이 애플리케이션 노트 외에 TOPSwitch-JX RDK(참조 디자인 키트)도 유용하게 활용할 수 있습니다. 본 노트와 해당 참조 디자인 키트에는 각각 전체 기능을 사용할 수 있는 엔지니어링 프로토타입 보드, 엔지니어링 보고서, 디바이스 샘플이 들어 있습니다. 관련 내용에 대하여 더 자세하게 설명되어 있는 PI Expert나 RDK의 입수, 그리고 본 자료의 최신본은 www.powerint.com를 통하여 확인할 수 있습니다.

빠른 시작

파워 서플라이 설계 및 파워 인테그레이션스의 설계 소프트웨어에 익숙한 경우, 뒤에 설명될 단계별 설계 방식을 건너 뛰고 곧바로 아래 정보를 통해 트랜스포머를 신속하게 설계하고 첫 프로토타입을 제작하는 데 필요한 부품을 선택할 수 있습니다. 이 경우 아래에 설명된 정보를 PI Xls 스프레드시트에 입력하기만 하면 나머지 파라미터는 기본 설계 사항에 따라 자동으로 선택됩니다. 스프레드시트 셀 위치는 대괄호로 묶인 [셀]을 참조하여 주십시오.

- AC 입력 범위 VAC_{MIN} , VAC_{MAX} 와 최소 입력 주파수 f_L 입력 [B3, B4, B5]
- 정상 출력 전압 V_o 입력 [B6]
- 피크 부하 상태의 설계일 경우, 평균 출력 전력 또는 연속(평균) 출력 전력 입력 [B7]
- 피크 부하 전류가 있는 설계일 경우, 피크 부하 전류 입력 또는 입력란 비워 두기 [B8]
- 예상 효율 입력 [B11]
- 유니버설 입력 전압(85-265VAC) 또는 단일
 - 100/115VAC(85-132VAC) 설계일 경우 0.8, 단일 230VAC(185-265VAC) 디자인일 경우 0.85. 최대 부하 및 VAC_{MIN} 에서 측정된 결과에 따라 조정

- 손실 배분 계수 Z 입력 [B12]
 - 일반적인 애플리케이션의 경우 0.5(첫 프로토타입 보드 평가 후 이에 따라 값 조정)
- 입력 커패시턴스 입력(C_{IN}) [B15]
 - 유니버설(85-265VAC) 또는 단일(100/115VAC)의 경우 2~3 $\mu F/W$
 - 단일(185-265VAC)의 경우 1 $\mu F/W$ 단일 230VAC 사용
- 드롭다운 목록에서 TOPSwitch-JX 부품을 선택하거나 직접 입력 [B19]
 - 아래 표에서 출력 전력 및 라인 입력 전압에 따라 디바이스 선택
 - 작동 주파수 입력 - [B24]
 - 66kHz의 경우 "H"
 - 132kHz의 경우 "F"
 - 드롭다운 메뉴에서 코어 유형 선택(원하는 경우) [B54]
 - 권장 코어 크기를 입력하지 않을 경우 자동으로 선택됨
- 경고가 나타나면, 아래 스프레드시트 F열에 있는 지침에 따라 설계를 변경
- 트랜스포머 제작
- 주요 부품 선택
- 7단계에서 12단계까지 참조
- 프로토타입을 제작하고 필요한 경우 설계를 반복하여 스프레드시트에서 예상치를 측정 값으로 적절하게 변경(예: 효율성, V_{MIN}).
- 파워 인테그레이션스에서는 트랜스포머 프로토타입 개발 서비스와 다른 공급업체로의 링크를 제공합니다. 자세한 내용은 www.powerint.com/componentsuppliers.htm을 참조하십시오.

출력 전력표

제품 ⁵	PCB 구리 영역 ¹				제품 ⁵	금속 히트싱크 ¹			
	230VAC $\pm 15\%$ ⁴		85-265VAC			230VAC $\pm 15\%$ ⁴		85-265VAC	
	어댑터 ²	오픈프레임 ³	어댑터 ²	오픈프레임 ³		어댑터 ²	오픈프레임 ³	어댑터 ²	오픈프레임 ³
TOP264VG	21W	34W	12W	22.5W	TOP264EG/VG	30W	62W	20W	43W
TOP265VG	22.5W	36W	15W	25W	TOP265EG/VG	40W	81W	26W	57W
TOP266VG	24W	39W	17W	28.5W	TOP266EG/VG	60W	119W	40W	86W
TOP267VG	27.5W	44W	19W	32W	TOP267EG/VG	85W	137W	55W	103W
TOP268VG	30W	48W	21.5W	36W	TOP268EG/VG	105W	148W	70W	112W
TOP269VG	32W	51W	22.5W	37.5W	TOP269EG/VG	128W	162W	80W	120W
TOP270VG	34W	55W	24.5W	41W	TOP270EG/VG	147W	190W	93W	140W
TOP271VG	36W	59W	26W	43W	TOP271EG/VG	177W	244W	118W	177W

표 1. 출력 전력표

참고:

1. 자세한 내용은 데이터 시트의 주요 애플리케이션 고려 사항 참조.
2. 일반 비환기 밀폐 구조(non-ventilated enclosed) 어댑터에서의 최대 연속 전력은 주변 온도 +50°C에서 측정.
3. 주변 온도 +50°C의 오픈 프레임 설계시 최대 연속 전력.
4. 230VAC 또는 110/115VAC(배전압 포함).
5. 패키지 E: eSIP-7C, V: eDIP-12. 데이터 시트의 부품 주문 정보 참조.

단계별 트랜스포머 설계 절차 소개

본 설계 절차를 통해 피크 출력 전력 필요 여부에 관계없이 파워 서플라이를 설계할 수 있습니다. 피크 파워가 필요한 경우, 디바이스 전류 제한은 짧은 기간동안 피크 파워를 전달할 수 있도록 변경됩니다. 그 기간은 TOPSwitch-JX 패키지의 온도 특성과 회로내의 다른 부품 정격에 의하여 결정됩니다.

평균 전력이 증가하게 되면 트랜스포머와 디바이스 온도를 측정된 결과에 따라 권선의 구리 면적을 증가시키기 위하여 그리고/또는 디바이스의 발열량을 늘리기 위하여 더 큰 트랜스포머를 사용하여야할 수도 있습니다.

전력 표(표 1)에는 밀폐된 어댑터 및 오픈 프레임 애플리케이션에서 모두 얻을 수 있는 피크 전력 및 연속(평균) 전력 수준에 대한 지침이 나와 있습니다. 외부 히트싱크가 없는 V 패키지의 경우, 어댑터와 오픈 프레임의 전력 값이 열적으로 제한되어 있습니다. 피크 값은 전기적으로 제한된 출력 전력을 나타내며 전류 제한($I_{LIM(MIN)}$)에서 작동하는 것으로 간주됩니다. E 패키지의 경우, 어댑터 전력 값도 열적으로 제한되어 있지만 오픈 프레임 값은 전기적으로 제한되어 있으므로 피크 출력 전력도 나타냅니다. 연속 전력 값은 열적으로 제한되어 있어 최악의 조건에서는 연속 전력 상한을 나타내지만 이는 애플리케이션에 따라 달라질 수 있습니다. 예를 들어 DVD 플레이어의 드로워를 닫는 데 필요한 1초 피크처럼 피크 전력 상태에서 듀티 사이클이 매우 낮을 경우, 디바이스(및 트랜스포머)의 온도 상승은 연속 평균 전력의 한 작용일 뿐입니다. 그러나 과도한 듀티 사이클에서 피크 전력이 반복되는 경우, 설계 시 피크 전력을 제한 계수로 간주해야 합니다.

그림 2에는 서로 다른 두 가지 피크 부하 상태로 설계의 평균 전력 필요량을 계산하는 방법이 나와 있습니다.

$$P_{AVE} = P_1 + (P_3 - P_1) \times \delta_1 + (P_2 - P_1) \times \delta_2$$

$$\delta_1 = \frac{\Delta t_1}{T}, \delta_2 = \frac{\Delta t_2}{T}$$

P_x 는 서로 다른 출력 전력 상태이고 Δt_x 는 각 피크 전력 상태 지속 시간이며, T는 펄스형 부하 상태의 한 개 사이클 기간입니다.

설계 과정에서 피크 전력 및 연속 전력(평균)을 지정해야 합니다. 설계에 피크 전력 필요량이 없는 경우, 연속 전력과 피크 전력이 같은 값을 사용해야 합니다.

피크 전력은 TOPSwitch-JX 디바이스를 선택하고 최소 입력 라인 전압에서 전력을 공급하는 트랜스포머를 설계하는 경우에 사용되고, 연속 전력(또는 피크 부하가 주기적인 경우 평균 전력)은 열 설계에 사용되며 트랜스포머와 히트싱크의 크기에 영향을 미칠 수도 있습니다.

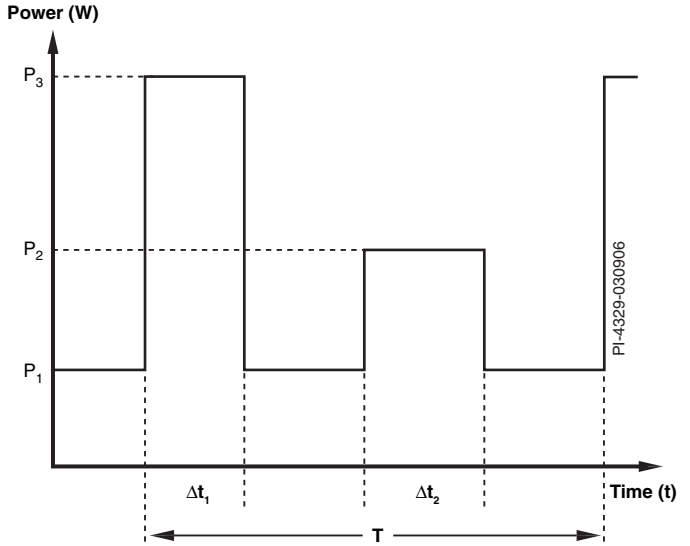


그림 2. 연속(평균) 출력 전력 계산의 예

1단계. 애플리케이션 변수 VAC_{MIN} , VAC_{MAX} , f_L , V_O , $P_{O(AVE)}$, $P_{O(PEAK)}$, η , Z , V_B , t_C , C_{IN} 입력

표 2에서 입력 전압 범위를 결정합니다.

공칭 입력 전압(VAC)	VAC_{MIN}	VAC_{MAX}
100/115	85	132
230	195	265
유니버설	85	265

표 2. 전 세계 입력 라인 전압 표준 범위

입력 주파수, f_L

유니버설 또는 단일 100VAC 입력의 경우 50Hz, 단일 115VAC 입력의 경우 60Hz, 단일 230VAC 입력의 경우 50Hz입니다. 이들 값은 최소 값 대신 일반적인 주파수를 나타냅니다. 대부분의 애플리케이션에 대해서 이 값은 적절한 전체 설계 마진을 제공합니다. 최악의 경우 또는 제품 사양서에 따라 설계할 경우 6%까지 수치를 줄이십시오(47Hz 또는 56Hz). 반파 정류의 경우 $f_L/2$ 를 사용하십시오. DC 입력의 경우 B67 및 B68 셀에 직접 전압을 입력하십시오.

정격 출력 전압, V_O (V)

연속 부하 상태에서는 메인 출력의 정격 출력 전압을 입력하십시오. 일반적으로 메인 출력은 피드백이 파생되는 출력입니다.

애플리케이션 변수 입력				설계 제약
VACMIN	85		Volts	최소 AC 입력 전압
VACMAX	265		Volts	최대 AC 입력 전압
fL	50		Hertz	AC 메인 주파수
VO	5.00		Volts	출력 전압(메인)
PO_AVG	35.00		Watts	평균 출력 전력
PO_PEAK		35.00	Watts	피크 출력 전력
히트싱크 종류	외부	외부		히트싱크 종류
인클로저				오픈 프레임 인클로저는 충분한 공기 흐름을 제공하며 어댑터는 밀폐형 인클로저를 의미함.
n	0.80		%/100	예상 효율성
Z	0.50			손실 배분 계수
VB	12		Volts	바이어스 전압 - 무부하 및 VMAX에서 VB는 8V보다 높음
tC	3.00		ms	브리지 다이오드 예상 도통 시간
CIN	68.0	68	uFarads	입력 필터 커패시터

그림 3. TOPSwitch-JX 설계 스프레드시트의 애플리케이션 변수 섹션

DC 입력 전압 파라미터				
V _{MIN}			74 Volts	최소 DC 입력 전압
V _{MAX}			375 Volts	최대 DC 입력 전압

그림 4. 회색 오버라이드 셀로 표시된 DC 입력 설계용 DC 입력 전압 파라미터

연속/평균 출력 전력 P_{O(AVE)} (W)

파워 서플라이의 평균 출력 전력을 입력하십시오. 파워 서플라이가 다출력 파워 서플라이인 경우, 전체 출력의 총 전력 합계를 입력하십시오.

피크 출력 전력 P_{O(PEAK)} (W)

피크 부하 상태에서의 피크 출력 전력을 입력하십시오. 설계에 피크 부하 상태가 없는 경우, 이 입력란을 비워 두십시오. 값은 P_{O(AVE)} 와 같은 것으로 간주됩니다. P_{O(PEAK)} 는 1차측 인덕턴스 값을 계산하는데 사용됩니다.

다중출력 설계에서 메인 출력(일반적으로 피드백이 파생되는 출력)의 출력 전력은 설계에서 피크 전력(또는 적용하고자 하는 최대 연속 출력 전력)이 전체 출력의 출력 전력 합계와 일치하도록 증가해야 합니다. 그런 다음 각 출력 전압 및 전류를 스프레드시트 아래(B122-B168) 셀에 입력해야 합니다.

히트싱크 종류 및 인클로저 선택

인클로저는 TOPSwitch-JX 디바이스의 최대 전력 용량을 결정합니다. 파워 서플라이가 밀폐된 플라스틱 케이스 안에 들어 있을 경우(노트북 파워 서플라이와 비슷함), 어댑터 인클로저를 선택하십시오. 반면 파워 서플라이의 공기 흐름이 더 나은 경우, 오픈 프레임 인클로저를 선택하십시오.

선택한 패키지에 따라 알맞은 히트싱크 종류를 선택할 수 있습니다. E 패키지는 항상 외부 히트싱크가 필요하지만 V 패키지는 외부 히트싱크에 관계없이 사용할 수 있습니다. 히트싱크 없이 사용할 경우 PCB의 구리 패턴 영역에서만 히트싱크 역할을 제공합니다. 하지만 외부 히트싱크와 비교하여 늘어난 PCB의 열 저항 때문에 이 구조의 최대 전력 용량은 감소됩니다.

파워 서플라이 효율, η

풀 부하 상태와 입력 전압이 가장 안좋은 경우(일반적으로 가장 낮은 입력 전압), 출력 케이블의 종단에서 측정된 전체 파워 서플라이의 예상 효율성을 입력하십시오. 효율값은 85VAC에서 V_{AC MIN}의 경우 80%, 195VAC의 경우 85%로 시작하십시오. 이는 출력 전력의 대부분이 12V의 출력 전압에서 공급되고 2차측에 출력 전류가 감지되지 않는 설계에서 일반적입니다. 5V 출력에서는 85VAC V_{AC MIN}의 경우 75%, 195VAC의 경우 80%의 시작 값이 권장됩니다. 프로토타입을 제작하였으면 측정된 효율성을 입력하고 해당되는 경우 추가로 트랜스포머 설계를 반복할 수 있습니다.

파워 서플라이 손실 배분 계수, Z

이 계수는 파워 서플라이의 1차와 2차측에서 일어나는 전체 파워 손실중 2차측과 관계된 파워 손실 비율을 나타냅니다. Z 계수는 계산된 효율을 사용하여 파워단이 전달해야 하는 실제 파워를 계산합니다. 예를 들어 입력단(EMI 필터, 정류 등) 손실은 파워로 전달되지 않으므로(트랜스포머를 통해 전달) 효율성이 떨어지더라도 트랜스포머 설계에는 영향이 미치지 않습니다.

$$Z = \frac{\text{Secondary Side Losses}}{\text{Total Losses}}$$

1차측 손실로는 입력 정류기 및 EMI 필터에서 발생한 손실, MOSFET 유도 손실, 1차측 권선 손실 등을 예로 들 수 있습니다. 2차측 손실로는 2차 다이오드, 2차 권선 및 코어 손실, 1차측 클램프 회로 및 바이어스 권선과 연관된 손실 등을 예로 들 수 있습니다. 피크 전력 필요량이 없는 설계의 경우, 값 0.5가 권장됩니다. 피크 전력 필요량이 있는 설계의 경우 0.65를 입력하십시오. 이 차이는 피크 전력 부하에서 입력단 손실이 증가되기 때문입니다.

바이어스 권선 출력 전압(V_B)

바이어스 권선 출력에서 전압을 입력하십시오. 시작 값으로 15V가 권장됩니다. 바이어스 권선 출력이 1차측(비절연) 보조 출력으로 사용되는 등의 경우 전압을 다른 값으로 설정할 수도 있습니다. 전압이 높은 경우 무부하 입력 전력이 증가되며 저부하에서는 옴토키플러를 올바르게 바이어스 상태로 유지하는 데 필요한 전압이 충분하지 않을 수 있어 출력 레귤레이션의 손실이 발생하므로 8V보다 낮은 값은 권장되지 않습니다. 바이어스 권선 출력 필터에는 최소 값으로 10μF, 50V의 전해질 커패시터를 사용하는 것이 좋습니다.

브리지 다이오드 전도 시간, t_c(ms)

더 적합한 데이터가 없는 경우 브리지 다이오드 전도 시간을 3.00ms로 입력하십시오.

총 입력 커패시턴스, C_{IN}(μF)

표 3에는 다양한 AC 입력 전압 범위에서 입력 커패시턴스를 계산할 때 사용하기에 적절한 증배 계수가 나와 있습니다.

AC 입력 전압(VAC)	출력 전력(W)당 총 입력 커패시턴스(μF/W) 전파 정류
100/115	2 - 3
230	1
85-265	2 - 3

표 3. 다양한 입력 전압 범위에서의 권장 총 입력 커패시턴스

커패시턴스는 입력 캐패시터 전반의 최소 및 최대 DC 전압을 계산하는 데 사용되며 최소 DC 입력 전압, V_{MIN}을 70V보다 높게 유지해야 합니다.

2단계 - 다음 TOPSwitch-JX 변수 입력:

디바이스, 전류 제한, V_{OR}, V_{DS}, V_D, 올바른 TOPSwitch-JX 디바이스 선택

우선 TOPSwitch-JX 전력 표를 참조하여 피크 출력 전력 설계에 따라 디바이스를 선택합니다. 그런 다음 파워 서플라이가 완전 밀폐형인 경우 연속 전력을 전력 표의 어댑터 열에 있는 수치와 비교하거나, 파워 서플라이가 오픈 프레임 설계인 경우 오픈 프레임 열과 비교합니다. 연속 전력이 전력 표(표 1)에 나온 값을 초과하는 경우, 그 다음으로 큰 디바이스를 선택해야 합니다. 마찬가지로 연속 전력이 전력 표에 나온 어댑터 전력 수준과 비슷한 경우, 측정된 프로토타입의 열 성능에 따라 더 큰 디바이스로 바꿔야 할 수도 있습니다.

외부 전류 제한 감소 계수, KI

계수 KI는 전류 제한 기준값을 설정합니다. 따라서 이 계수를 사용하면 전류 제한 수준을 전력 공급에 필요한 최소 피크 전류(I_p) 보다 약간 높게 조정할 수 있습니다. 이 계수는 피크 자속 밀도(BP)를 제한하여 과부하에서 그리고 스타트 업 시 트랜스포머 설계를 최적화합니다.

효율성을 높이고 열 성능을 개선하기 위해, 더 큰 디바이스의 전류 제한이 원래 선택한 디바이스와 같도록 KI 값을 줄여 전력 공급에 필요한 디바이스보다 더 큰 TOPSwitch-JX 디바이스를 선택할 수도 있습니다.

높은 입력 전압 작동 모드

이 파라미터는 높은 입력 전압에서 TOPSwitch-JX 작동 모드를 확인합니다. 높은 입력 전압에서는 스위칭 주파수 지터 기능이 활성화되므로 전 주파수 모드에서 작동하는 것이 좋습니다. TOPSwitch-JX 데이터 시트에서 작동 모드에 대한 설명을 참조하십시오. 이 기능 덕분에 EMI 성능이 향상됩니다.

반사 출력 전압, V_{OR}(V)

이 파라미터는 다이오드가 도통하는 기간동안의 2차 권선 전압으로 이 전압은 트랜스포머의 권선비를 통해 1차 권선으로 다시 반사됩니다. 기본 설정값은 135V이며, 스프레드시트에서 경고가 발생하지 않을 경우에는 V_{OR}을 80V에서 135V까지 사용할 수 있습니다. 설계를 최적화하기 위해 다음 상관 관계를 고려해야 합니다.

1. V_{OR}이 높으면 V_{MIN}에서 전력 공급이 증가하여 입력 커패시턴스 값이 최소화되고 지정된 TOPSwitch-JX 디바이스로부터의 전력 공급은 최대화됩니다.
2. V_{OR}이 높으면 출력 다이오드의 전압 스트레스가 감소하여 경우에 따라서는 더 낮은 순방향 강하 쇼트키 다이오드를 사용하여 효율성을 더 높일 수 있습니다.
3. V_{OR}이 높으면 다중 출력 설계에서 누설 인덕턴스 및 파워 서플라이의 효율성을 떨어뜨리는 클램프 손실이 증가하며 크로스 레귤레이션 성능이 저하될 수 있습니다.
4. V_{OR}이 높으면 2차측 피크 전류 및 RMS 전류가 증가하여 2차측 구리 손실 및 다이오드 손실이 늘어날 수 있습니다.

최적의 V_{OR} 값 선택은 특정 애플리케이션에 따라 달라지며 위에서 언급된 요인들의 조합 결과를 기반으로 합니다.

저전압 출력(약 5V 또는 다중 출력 설계)의 경우, 일반적으로 약 100V~110V의 낮은 V_{OR}이 더 적합합니다. 고전압 출력(12V 이상)의 경우, 약 120V 및 135V의 높은 V_{OR}이 더 적합합니다.

일반적으로 80V 이상의 값이 권장됩니다. V_{OR}이 낮으면 스타트 업 시, 특히 모든 출력이 5V를 초과하는 설계에서 MOSFET 자체 보호 기능이 과도하게 트리거될 수도 있습니다(표 4 요약 내용 참조).

TOPSwitch-JX ON 상태의 DRAIN과 SOURCE 핀 간 전압, V_{DS}(V)

이 파라미터는 TOPSwitch-JX의 DRAIN과 SOURCE 핀 양단에서 발생하는 ON 상태의 평균 전압입니다. 기본적으로 회색 오버라이드 셀이 비어 있는 경우, 값은 기본값 10V로 간주됩니다. 더 적합한 데이터가 없는 경우 기본값을 사용하십시오.

출력 다이오드 순방향 전압 강하, V_D(V)

출력 다이오드의 평균 순방향 전압 강하를 입력하십시오. 더 적합한 데이터가 없는 경우 쇼트키 다이오드는 0.5V, PN 정션 다이오드는 0.7V를 사용하십시오. 기본값은 0.5V로 간주됩니다.

바이어스 권선 다이오드 순방향 전압 강하, V_{DB}(V)

바이어스 권선 출력 다이오드의 평균 순방향 전압 강하를 입력하십시오. PN 다이오드의 경우 0.7V를 사용하십시오.

피크 전류에 대한 리플 비, K_p

그림 6에는 연속 도통 모드를 나타내는 1보다 작은 K_p가 나와 있습니다. K_p는 피크 1차 전류에 대한 리플 비입니다.

$$K_p \equiv K_{RP} = \frac{I_R}{I_p}$$

그림 7에는 불연속 도통 모드를 나타내는 1보다 크거나 같은 K_p가 나와 있습니다. K_p는 2차 다이오드 도통 시간에 대한 1차측 MOSFET 오프 타임 비율입니다.

$$K_p \equiv K_{DP} = \frac{V_{OR} \times (1 - D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

K_p 값은 0.3 < K_p < 6 범위에 있어야 하며, 값이 이 범위를 벗어나는 경우 설명 셀의 지침을 참조하십시오.

K_p 값이 1보다 작으면 1차 RMS 전류가 감소되어 효율성이 높아집니다. 100/115VAC 및 유니버설 입력의 경우 범위가 0.4와 0.6 사이인 것에 비해, 230VAC의 경우에는 높은 전압 수준에서 드레인 노드 커패시턴스의 방전으로 인해 발생하는 매우 크고 광범위한 리딩 엣지 전류 스파이크를 감당할 수 있도록 0.6과 0.8 사이의 K_p가 권장됩니다.

스프레드시트에서는 설계에 필요한 피크 1차 전류, RMS 리플 전류, 평균 1차 전류, 최대 듀티 사이클 값이 계산됩니다.

TOPSWITCH-JX 변수 입력					
TOPSwitch-JX	TOP266E			유니버설/피크	115 배전압/230V
선택한 디바이스	TOP266E	출력 전압		40 W / 86 W	60W
KI	0.53				외부 Ilimit 감소 계수(기본 ILIMIT의 경우 KI=1.0, 낮은 ILIMIT의 경우 KI < 1.0)
ILIMITMIN_EXT			1.257	Amps	외부 ILIMIT 설정 시 1% 저항 사용
ILIMITMAX_EXT			1.446	Amps	외부 ILIMIT 설정 시 1% 저항 사용
주파수(F)=132kHz, (H)=66kHz	F	F			1/2 주파수의 경우 'H' - 66kHz 선택, 풀 주파수의 경우 'F' - 132kHz 선택
fS			132000	Hertz	TOPSwitch-JX 스위칭 주파수: 132kHz와 66kHz 사이에서 선택
fSmin			119000	Hertz	TOPSwitch-JX 최소 스위칭 주파수
fSmax			145000	Hertz	TOPSwitch-JX 최대 스위칭 주파수
높은 입력 전압 작동 모드		FF			풀 주파수, 지터 사용
VOR	135.00			Volts	반사 출력 전압
VDS			10	Volts	TOPSwitch ON 상태 Drain핀과 Source핀 간 전압
VD	0.50			Volts	출력 권선 다이오드 순방향 전압 강하
VDB	0.70			Volts	바이어스 권선 다이오드 순방향 전압 강하
KP	0.50				피크 전류에 대한 리플 비(0.3 < KRP < 1.0: 1.0 < KDP < 6.0)

그림 5. 설계 스프레드시트의 TOPSwitch-JX 섹션

성능 목표	권장 V_{OR} 값	설명
최대 출력 전력/최소형의 TOPSwitch-JX 디바이스	135 V	디바이스의 전력 최대화
최고 효율	100 V - 120 V	출력 다이오드의 컨덕션 로스와 누설 인덕턴스로 인한 손실을 최소화함
다중 출력 설계	90 V - 110 V	트랜스포머 누설 인덕턴스 및 2차측 피크 전류를 줄여 크로스 레귤레이션 개선

표 4. 권장 V_{OR} 값

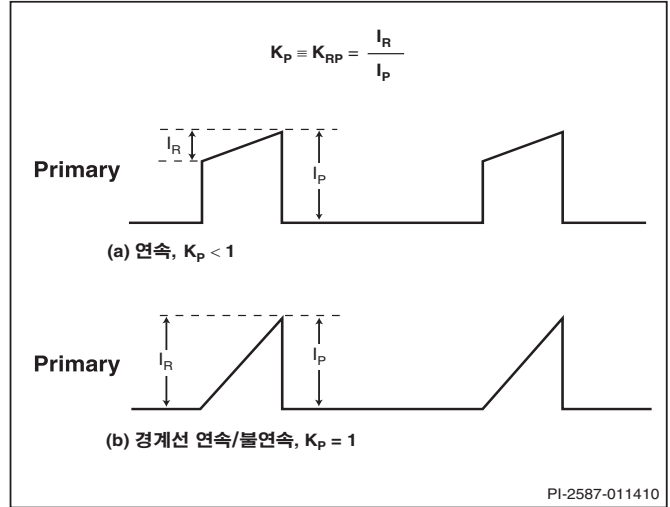


그림 6. 연속 모드 전류 파형, $K_p \leq 1$

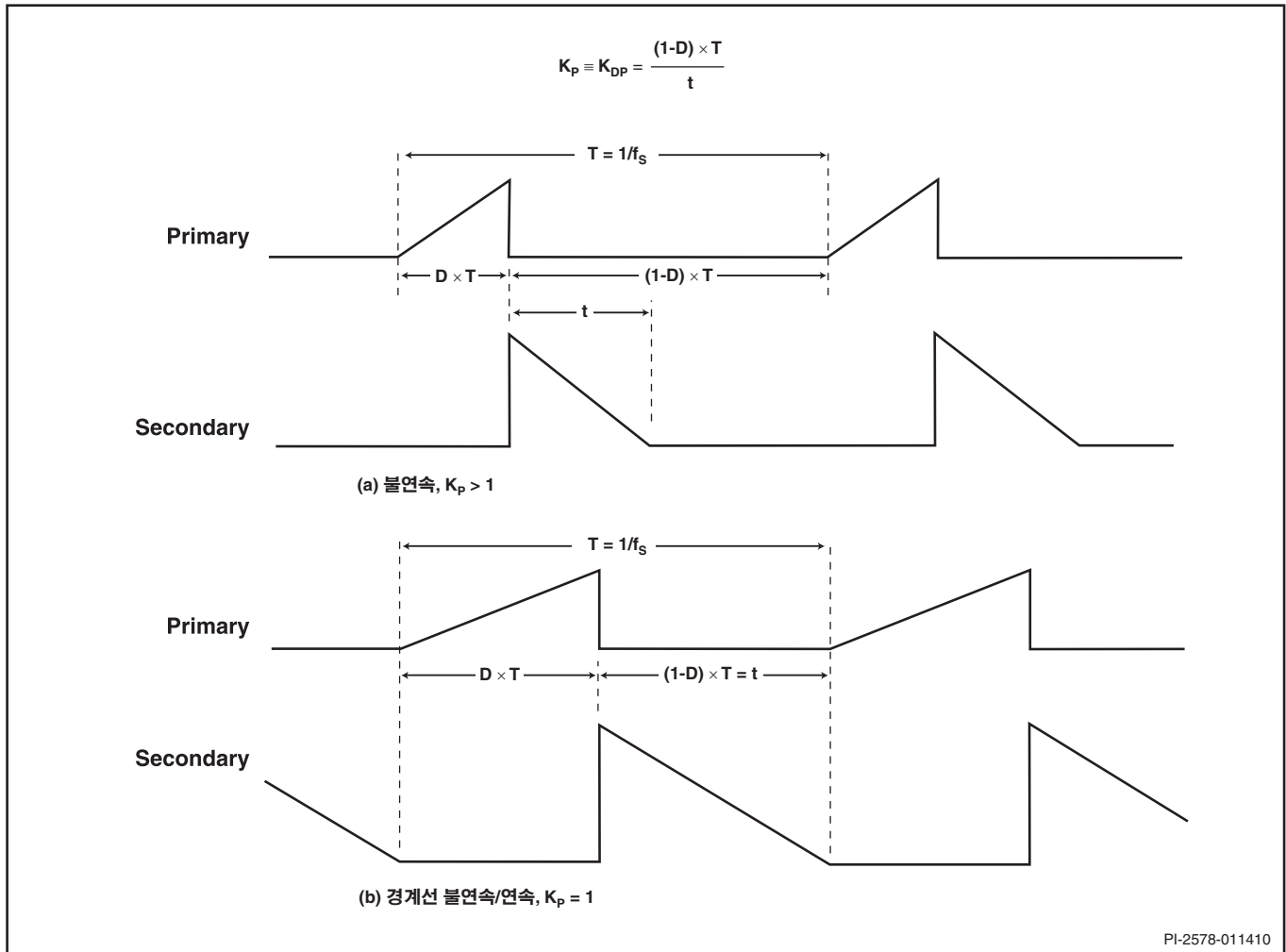


그림 7. 불연속 모드 전류 파형, $K_p \geq 1$

보호 기능				
라인 센싱				V 핀 기능
VUV_STARTUP			95 Volts	파워 서플라이가 시작되는 최소 DC 버스 전압
VOV_SHUTDOWN			445 Volts	파워 서플라이가 종료되는 일반적인 DC 버스 전압(최대)
RLS			4.0 MΩ	라인 센싱 기능의 경우, 직렬로 연결된 표준 2MΩ, 5% 저항 두 개 사용
출력 과전압				
VZ			22 Volts	출력 과전압 섣다운 보호를 위한 제너 다이오드 정격 전압
RZ			5.1 kΩ	출력 OVP 저항. 래칭 섣다운의 경우, 대신 20Ω 저항을 사용함
출력 과부하 보호				
				X 핀 기능
VMAX에서 과부하 전류 비			1.2	VMAX에서 전류 제한에 대한 원하는 마진 입력. 값이 1.2인 경우 전류 제한이 VMAX에서 1차측 피크 전류보다 20% 더 높아야 함
VMIN에서 과부하 전류 비			1.08	낮은 입력 전압에서 전류 제한에 대한 마진
ILIMIT_EXT_VMIN			1.16 A	VMIN에서 1차측 피크 전류
ILIMIT_EXT_VMAX			1.04 A	VMAX에서 1차측 피크 전류
RIL			11.74 kΩ	전류 제한/전력 제한 저항
RPL			해당 없음	저항이 필요하지 않음. RIL 저항만 사용함
전류 파형 파라미터				
DMAX			0.68	최대 듀티 사이클(PO PEAK에서 계산됨)
IAVG			0.59 Amps	평균 1차측 전류(평균 출력 전역에서 계산됨)
IP			1.16 Amps	1차측 피크 전류(피크 출력 전역에서 계산됨)
IR			0.58 Amps	1차측 리플 전류(평균 출력 전역에서 계산됨)
IRMS			0.73 Amps	1차측 RMS 전류(평균 출력 전역에서 계산됨)

그림 8. 설계 스프레드시트의 회로 보호 부품 섣션

3단계 - 보호 기능, 입력 저전압/과전압, 출력 OVP(과전압 보호), 출력 OPP(과부하 보호) 섣택 - 옵션

TOPSwitch-JX의 입력 저전압 록아웃 기능(옵션)은 파워 서플라이의 시작 전압을 지정하고 입력 전압이 정상 작동 범위보다 낮을 때 파워 서플라이 출력이 글리치되는 것을 방지합니다. 입력 커패시터의 저항을 V 핀에 연결하면 이 기능을 사용할 수 있습니다. $V_{UV(START-UP)}$ 옆에 있는 셀에 입력 커패시터 전체에 걸쳐 원하는 DC 전압을 입력하십시오. 이 전압에서 파워 서플라이가 작동하게 됩니다. 스프레드시트에서는 가장 근사치인 표준 5% 저항 값 R_{LS} 가 계산됩니다.

R_{LS} 값은 또한 입력 OV 기준값을 나타냅니다. $V_{OV(SHUTDOWN)}$ 옆에 있는 셀에는 파워 서플라이가 입력 과전압 상태로 인해 작동을 멈추는 전압이 표시됩니다.

출력 과전압 섣다운 - 옵션

바이어스 권선의 출력 전압은 1차측 센싱 출력 과전압을 제공하는 데 사용될 수 있습니다. 이는 피드백 회로의 부품이 잘못될 경우 파워 서플라이를 보호할 수 있는 경제적인 방법입니다.

이 기능은 그림 1에서 보는 것처럼 직렬로 연결된 저항과 제너 다이오드를 바이어스 권선 출력에서 V 핀으로 연결하여 활성화할 수 있습니다. 스프레드시트에서는 피드백 손실 시 동적 부하 변동과 같은 과도 상태에서 거짓 트리거를 발생하지 않고 섣다운을 시작하는 데 필요한 제너 다이오드 값이 추정됩니다.

고장 상태 시, 바이어스 권선 전압이 상승하여 제너 다이오드가 도통되고 전류가 V 핀으로 흐르게 됩니다. 이 전류가 $112\mu A(I_{OV})$ 를 초과하는 경우 스위칭이 즉시 해제됩니다. 스위칭은 이 전류가 100μs 내에 108μA 아래로 떨어지면 언제든지 다시 시작될 수 있습니다. 그러나 100μs가 지나면 파워 서플라이가 오토 리스타트 모드로 바뀝니다. 이는 출력 전압이 더 이상 상승하지 않도록 하기 위해서이나 파워 서플라이의 래칭은 해제되지 않습니다. 스위칭은 전류가 V 핀 히스테리시스(Hysteresis) 필요량인 4μA보다 많이 줄어든 때 다시 가능해집니다. 제너 및 V 핀을 통하는 전류가 336μA를 초과하는 경우 TOPSwitch-JX의 래칭 섣다운 기능이 트리거되고 파워 서플라이의 래칭이 해제됩니다. 래칭 상태를 리셋하려면 CONTROL 핀 커패시터가 $V_{C(RESET)}$ (-3V) 아래로 방전될 때까지 입력 AC 공급을 중단하거나 X 핀 전류가 27μA 아래로 떨어지도록 해야 합니다.

일반적인 회로에서 높은 직렬 저항 R_{OVP} 의 경우, 대략 5.1 kΩ에서 비래칭 섣다운이 발생합니다. 4.7Ω와 22Ω 사이의 낮은 저항에서는 래칭 섣다운이 발생합니다.

노이즈 커플링을 방지하려면 저항을 V 핀에 연결하고 제너 다이오드 캐소드를 바이어스 권선 출력에 연결하는 것이 좋습니다.

만약 OVP 부품을 맞춘 상태라면 입력 UV 기준값보다 높은 AC를 인가해서 파워 서플라이 동작까지 최대 2s 정도 더 지연됩니다. 이 지연은 R_{OVP} 와 V_{ROVP} 를 통해 V 핀이 바이어스 권선 커패시터를 충전하는 시간에 의해 발생합니다. 소신호(예: BAV21/1N4148) 다이오드를 V_{ROVP} 와 직렬로 추가 연결하면 이러한 지연을 방지할 수 있습니다(그림 21 참조).

출력 전역 제한과 입력 전압 비교(옵션)

TOPSwitch-JX의 X 핀은 섣택한 부품에 대해 전류 제한 값을 최대 내부 전류 제한보다 낮게 프로그래밍하는 데 사용할 수 있습니다. X 핀에서 SOURCE 핀에 연결된 저항(그림 1의 R_{IL})을 통해 외부에서 프로그래밍된 전류 제한을 섣택할 수 있습니다. 전류 제한 저항 섣택 곡선은 데이터 시트를 참조하십시오.

그림 12에서처럼 X 핀에서 DC 버스로 연결된 두 번째 저항(R_{PL})을 추가하면 입력 전압의 기능으로서 프로그래밍한 전류 제한을 낮출 수 있습니다. CCM모드(Continuous Conduction Mode)로 낮은 입력 전압($K_p < 1$)에서 작동하는 일반적인 플라이백 파워 서플라이는 높은 입력 전압에서 200~300%만큼 높은 과부하 전역 용량을 지니므로 이러한 방식의 저항 추가는 바람직하다고 할 수 있습니다. 특정 애플리케이션에서는 과부하 고장 시 증가된 손실을 처리하기 위해 많은 수의 출력 다이오드, 트랜스포머, 출력 커패시터를 설계해야 할 수도 있습니다.

PIXis 스프레드시트에서는 섣택한 TOPSwitch-JX 부품과 섣택한 K_p 값에 따라 전역 제한과 라인 비교에 필요한 두 저항 값이 계산됩니다. V_{MIN} 에서 대상 전류 제한 값은 $I_{LIMIT(MIN,EXT)}$ 와 같습니다. 고전압에서 대상 전류 제한 값은 V_{MAX} 에서 지정된 $P_{O(PEAK)}$ 에 마진 계수, 과부하 전류 제한 비율을 곱한 값을 토대로 계산됩니다. 권장 값 120%를 사용하면 스타트 업 시, 특히 고출력 전압 설계에서 MOSFET 보호 모드가 트리거되지 않습니다. 더 낮은 값도 허용되지만 이 경우 높은 입력 라인 전압에서 최대(피크) 부하로 스타트 업 시켜 봐야 합니다.

저항 값은 TOPSwitch-JX 데이터 시트에서 제공되는 최악 조건에서의 전류 제한 감소 곡선을 사용하여 계산됩니다.

트랜스포머 코어/구성 변수 입력				
코어 유형	자동	EI28		코어 유형
코어		EI28	P/N:	PC40EI28-Z
보빈		EI28_BOBBIN	P/N:	BE-28-1110CPL
AE			0.86	코어 유효 단면적
LE			4.82	코어 유효 경로 길이
AL			4300	갭이 없는 코어 유효 인덕턴스
BW			9.6	보빈의 실제 권선 폭
M	0.00			안전 마진 폭(1차측과 2차측 사이 연면 거리의 1/2)
L	3.00			1차측 레이어 수
NS		3		2차측 턴 수

그림 9. 스프레드시트의 트랜스포머 코어 및 구성 변수 섹션

4단계 - 출력 전력에 따른 코어 및 보빈 선택 및 A_E , L_E , A_L , BW , M , L , N_s 입력

- 코어 유효 단면적, A_E : (cm²)
- 코어 유효 경로 길이, L_E : (cm).
- 갭이 없는 코어 유효 인덕턴스, A_L : (nH/턴²).
- 보빈 폭, BW : (mm)
- 총 마진의 1/2인 테이프 마진 폭, M (mm)
- 1차 레이어, L
- 2차측 턴, N_s

코어 유형

코어 유형 셀이 비어 있는 경우, 스프레드시트는 기본적으로 널리 사용되는 코어 중 지정된 연속(평균) 출력 전력에 적합한 가장 작은 코어를 적용합니다. 사용 가능한 전체 코어 목록은 PIXIs 설계 소프트웨어 도구 모음에 있는 드롭다운 목록에서 선택할 수 있습니다.

회색 오버라이드 셀은 코어와 보빈 파라미터를 직접 입력하는 데 사용할 수 있습니다. 이는 목록에 없는 코어를 선택하거나 특정 코어 또는 보빈 정보가 스프레드시트에 나온 정보와 다를 경우에 유용합니다.

표 5에는 널리 사용되는 코어 목록과 일반적인 설계에서 이들 코어를 사용 수 있는 전력 레벨이 나와 있습니다.

안전 마진, M (mm)

1차와 2차 사이에 안전 절연거리가 필요한 설계에서 3중 절연선을 사용하지 않을 경우, 각 보빈 측면에 사용할 안전 마진 폭을 여기에 입력해야 합니다. 유니버설 입력 설계의 경우, 6.2mm의 총 권선 마진이 필요하며 스프레드시트에 값을 3.1mm로 입력해야 합니다. 수직타입 보빈의 경우 마진은 대칭적이지 않습니다. 하지만 총 6.2mm의 마진이 필요한 경우, 마진이 보빈의 한쪽 면에만 사용되더라도 3.1mm를 입력해야 합니다.

3중 절연 와이어를 사용하는 설계의 경우, 필요한 연면 거리를 충족시키기 위해 작은 마진이 필요할 수 있습니다. 일반적으로 많은 보빈이 코어 크기에 맞도록 제작되어 있어 각각 구조적 공간이 서로 다릅니다. 보빈의 데이터 시트를 참조하거나 안전 규격 전문가 또는 트랜스포머 공급업체에게 문의하여 설계에 필요한 특정 마진을 확인하시기 바랍니다.

마진은 권선이 가능한 영역을 줄이므로 위에서 설명된 마진을 사용하는 구조는 코어가 작아질수록 트랜스포머에 적합하지 않을 수 있습니다. 마진을 입력한 후 1차 레이어(L)가 3 이상 필요한 경우, 더 큰 코어를 선택하거나 3중 절연 와이어를 사용하는 마진없는 구조로 전환하는 것이 좋습니다.

1차측 레이어, L

1차측 레이어는 $1 < L < 3$ 범위에 속해야 하며 일반적으로 1차측 전류 밀도 제한(CMA)을 충족하는 최저 수치여야 합니다. 공기 냉각이 없는 설계에서는 선형 배율이 5W보다 낮은 설계의 경우 100Cmils/Amp, 200W의 경우 500Cmils/Amp가 일반적입니다. 레이어가 3개 이상인 설계는 가능하지만 증가된 누설 인덕턴스와 권선의 실제 가능 여부에 대한 문제를 고려해야 합니다. 누설 인덕턴스 클램프 손실이 너무 높은 설계의 경우 1차측 구조를 샌드위치 권선 구조로 하는 것이 편리합니다. 여기서 1차 권선의 절반이 2차(및 바이어스) 권선에 샌드위치 배열 방식으로 배치됩니다.

출력 전력	66 kHz		132 kHz	
	3중 절연 와이어	권선 마진	3중 절연 와이어	권선 마진
0 - 10 W	EF12.6	EI22	EF12.6	EI22
	EE13	EE19	EE13	EE19
	EF16	EI22/19/6	EF16	EI22/19/6
	EE16	EEL16	EE16	EEL16
	EE19	EF20		
	EI22	EI25		
10 W - 20 W	EI22/19/6	EEL19		
	EF20	EI28	EE19	EF20
		EEL22	EI22	EI25
10 W - 20 W		EF25	EI22/19/6	EEL19
	EF25	EI30		EI28
		EPC30		
30 W - 50 W		EEL25		
	EI28	E30/15/7	EF25	EEL22
	EI30	EER28		
	E30/15/7	ETD29		
50 W - 70 W	EER28	EI35		
		EI33/29/13-Z		
		EER28L		
	ETD29	EF32	EI28	EEL25
70 W - 100 W	EI35	ETD34		E30/15/7
	EF32			EER28
	ETD34	EI40	EI30	ETD29
	E36/18/11	E36/18/11	E30/15/7	EI35
100 W - 150 W	EI40	EER35	EER28	EI33/29/13-Z
			ETD29	EER28L
				EF32
	ETD39	ETD39	EI35	ETD34
>150 W	EER40	EER40	EF32	EI40
		E42/21/15	ETD34	E36/18/11
	E42/21/15	E42/21/20		EER35
	E42/21/20	E55/28/21	E36/18/11	ETD39
	E55/28/21		EI40	EER40
			ETD39	E42/21/15
		EER40	E42/21/20	
		E42/21/15	E55/28/21	
		E42/21/20		
		E55/28/21		

표 5. 트랜스포머 코어 표

2차측 턴 수, N_S

회색 오버라이드 셀이 비어 있는 경우, 최대 동작 자속 밀도 B_M 을 최대 권장 값인 3,000가우스(300mT)보다 낮게 유지되도록 최소 2차측 턴 수가 계산됩니다. 일반적으로, 더 낮은 작동 자속 밀도가 필요한 경우를 제외하고 오버라이드 셀에 반드시 숫자를 입력할 필요는 없습니다(B_M 제한에 대한 설명 참조).

5단계 - 트랜스포머 설계 반복/프로토타입 생성

경고 표시되지 않는지 설계를 반복하여 확인해 보십시오. 권장 값 범위를 벗어난 파라미터는 아래의 지침에 따라 수정할 수 있습니다.

모든 경고가 없어지면 출력 트랜스포머 설계 파라미터를 사용하여 프로토타입 트랜스포머를 제작하거나 공급업체에 보내 샘플을 의뢰할 수 있습니다. 빠른 시작 섹션의 트랜스포머 프로토타입 서비스에 대한 참고 사항을 확인하십시오.

트랜스포머의 주요 전기 파라미터는 다음과 같습니다.

1차측 인덕턴스, L_p (μ H)

필요한 트랜스포머의 정격 1차측 인덕턴스입니다.

1차측 인덕턴스 오차, LP (TOLERANCE)(%)

1차측 인덕턴스 예상 오차입니다. 기본적으로 값을 10%로 사용합니다. 트랜스포머 공급업체로부터 특정 정보를 받은 경우, 그 값을 회색 오버라이드 셀에 입력할 수도 있습니다.

1차측 턴 수, N_p

낮은 누설 인덕턴스 애플리케이션의 경우, 1차측에서 샌드위치 권선 구조를 사용할 수 있으며 20W보다 높게 설계 시 이 구조를 사용하는 것이 좋습니다.

갭 코어 유효 인덕턴스, A_{Lg} : (nH/T^2)

트랜스포머 업체에서 정확한 코어 센터 에어 갭을 지정하는 데 사용합니다.

최대 작동 자속 밀도, B_M (가우스)

정상 작동 중의 최대 값은 3,000가우스를 권장합니다. 이 값은 경부하에서 발생하는 트랜스포머 코어 손실과 가청 노이즈를 방지합니다. 또한 스타트 업 시 또는 출력 단락회로에서 코어 포화를 방지합니다. 이러한 상태에서는 출력 전압이 낮으며 MOSFET가 오프 상태일 때 트랜스포머 코어의 리셋이 거의 발생하지 않습니다. 보통 이때, 다음 사이클과 그 이후 사이클 사이에서 코어가 포화될 때까지 트랜스포머 자속 밀도를 높일 수 있습니다(계단식). 선택한 디바이스의 피크 전류 제한에서의 3,000 가우스 값은 TOPSwitch-JX에 내장된 보호 기능과 함께 충분한 마진을 제공하여 스타트 업 시 또는 출력 단락회로 상태에서 코어 포화를 방지할 수 있습니다.

TOPSwitch-JX에서 사용되는 MCM(멀티 사이클 번조) 작동 모드는 트랜스포머에서, 특히 긴 코어가 사용될 경우 가청 주파수 성분을 생성할 수 있습니다. 이 가청 노이즈의 생성은 B_M 값에 3,000 가우스를 적용할 경우 최소화되며 이 때 MCM 모드에서의 동작 자속 밀도는 750가우스가 됩니다. 이 지침을 따르고 표준 일반 합침 트랜스포머 생산 기술을 사용하면 가청 노이즈를 거의 없앨 수 있습니다. 설계를 승인하기 전에 먼저 트랜스포머 생산 샘플을 사용하여 가청 노이즈 성능을 주의 깊게 평가해야 합니다. Z5U와 같이 유전체를 사용하는 세라믹 커패시터도 클램프 회로에서 사용할 경우 가청 노이즈를 생성할 수 있습니다. 이 경우에 해당한다면 폴리에스터 필름형 등의 다른 유전체를 사용하는 커패시터로 바꾸십시오.

피크 자속 밀도, B_p (가우스)

스타트 업 시 그리고 출력 단락회로 상태에서 최대 자속 밀도를 제한하기 위해 최대 값인 4,200가우스가 권장됩니다. 이 계산에서는 최악 조건의 전류 제한 및 인덕턴스 값을 가정합니다. 밀폐형 어댑터와 같이 주변 온도가 높은 애플리케이션 또는 급이 낮은 페라이트 코어 재료를 사용한 애플리케이션에서 높은 주변 동작 온도로 인해 이 값을 3,600가우스로 줄여야 할 수도 있습니다. 레귤레이션 손실 전에 과부하 상태에서 주변 온도가 최고로 높을 때 코어 포화가 발생하지 않는지 확인해야 합니다.

최대 1차측 전선 직경, OD(mm)

기본적으로 오버라이드 셀이 비어 있는 경우, 2중 절연선으로 간주되고 표준 전선 직경이 선택됩니다. 회색 오버라이드 셀은 사용자가 직접 전선 직경을 입력하는 데 사용할 수 있습니다.

스프레드시트에서 자동으로 계산되는 기타 계수는 다음과 같습니다.

총 절연 예상 두께, INS(mm)

1차측 전선 크기, DIA: (mm)

1차측 전선 게이지, AWG

1차측 레이어 수, L

코어 센터 갭 예상 길이: L_g : (mm)

2차측 턴 수, N_s

2차측 전선 크기, DIA: (mm)

2차측 전선 게이지, AWG

다중 출력 설계에서는 NS_x , CMS_x , $AWGS_x$ (x는 출력 수)도 사용해야 합니다.

6단계 - TOPSwitch-JX 외부 부품 선택

CONTROL 핀 - 외부 부품

그림 12의 회로도에는 일반적인 TOPSwitch-JX 파워 서플라이 설계에 필요한 외부 부품이 나와 있습니다. 100nF 커패시터는 TOPSwitch-JX의 CONTROL 핀과 SOURCE 핀 사이에 직접 연결하는 것이 좋습니다. 이 커패시터는 짧은 패턴을 사용하여 TOPSwitch-JX에 가까이 두어야 합니다. 표면 장착 부품을 사용하는 설계에서 이 커패시터는 TOPSwitch-JX 핀에 바로 연결되어야 합니다.

CONTROL 핀에 연결된 100nF 커패시터 외에, 직렬 연결된 6.8 Ω 저항과 47 μ F 전해 커패시터가 TOPSwitch-JX의 CONTROL 핀과 SOURCE 단자 사이에 연결되어야 합니다. 47 μ F 커패시터는 에너지 저장소 역할을 하고 스타트 업 시 TOPSwitch-JX 내부 회로에 전력을 공급하며 또한 오토 리스타트 타이밍을 제공합니다. 뿐만 아니라 이 커패시터는 CONTROL 핀의 다이내믹 임피던스와 함께 대략 160Hz에서 극점을 형성합니다. 작은 저항 값(6.8 Ω)은 일반적으로 이 커패시터에 직렬로 추가됩니다. 이 외부 저항은 CONTROL 핀 커패시터의 ESR(일반적으로 약 2 Ω)과 함께 안정적인 직렬 저항을 제공하며 약 400Hz에서 영점을 형성합니다. 외부 저항 값이 크면 위상 응답이 개선될 수 있지만 값이 22 Ω 보다 커서는 안 됩니다.

트랜스포머 1차측 설계 파라미터					
LP			1435	uHenries	1차측 인덕턴스
LP 오차			10		1차측 인덕턴스 오차
NP			74		1차측 권선 턴 수
NB			7		비어어스 권선 턴 수
ALG			265	nHT*2	갭이 있는 코어 유효 인덕턴스
BM			2637	Gauss	PO, VMIN(BM<3000)에서 최대 플럭스 밀도 ILIMITMAX 및 LP_MAX에서 피크 플럭스 밀도(BP<4200). 참고: 어댑터 및 외부 파워 서플라이의 권장 값 <=3600 Gauss
BP			3603	Gauss	코어 손실 곡선의 AC 플럭스 밀도(0.5 X 피크 간)
BAC			659	Gauss	갭이 없는 코어의 상대적 투자율
ur			1918		갭 길이(Lg > 0.1mm)
LG			0.38	mm	유효 보빈 폭
BWE			28.8	mm	최대 1차측 전선 직경(절연 포함)
OD			0.39	mm	총 절연 예상 두께(= 2 * 필름 두께)
INS			0.06	mm	베어 커덕터 직경
DIA			0.33	mm	1차측 전선 굵기(그 다음으로 작은 표준 AWG 값으로 반올림됨)
AWG			28	AWG	베어 커덕터 유효 면적(Circular mils 단위)
CM			161	Cmils	1차측 권선 전류 용량(200 < CMA < 500)
CMA			220	Cmils/Amp	1차측 권선 전류 밀도(3.8 < J < 9.75)
1차측 전류 밀도(J)			9.11	A/mm^2	

그림 10. 스프레드시트의 트랜스포머 1차측 설계 파라미터 섹션

트랜스포머 2차측 설계 파라미터(다중 출력)					
1차측 출력					
VO1			5	Volts	출력 전압
IO1_AVG			7.00	Amps	평균 DC 출력 전류
PO1_AVG			35.00	Watts	평균 출력 전력
VD1			0.5	Volts	출력 다이오드 순방향 전압 강하
NS1			3.00		출력 권선 턴 수
ISRMS1			12.363	Amps	출력 권선 RMS 전류
IRIPPLE1			10.19	Amps	출력 커패시터 RMS 리플 전류
PIVS1			20	Volts	출력 정류기 최대 피크 역 전압
CMS1			2473	Cmils	출력 권선 베어 커덕터 최소 전선 단면적
AWGS1			16	AWG	전선 굵기(그 다음으로 큰 표준 AWG 값으로 반올림됨)
DIAS1			1.29	mm	최소 베어 커덕터 직경
ODS1			3.20	mm	3중 절연선의 최대 외부 직경
2차측 출력					
VO2				Volts	출력 전압
IO2_AVG				Amps	평균 DC 출력 전류
PO2_AVG			0.00	Watts	평균 출력 전력
VD2			0.7	Volts	출력 다이오드 순방향 전압 강하
NS2			0.38		출력 권선 턴 수
ISRMS2			0.000	Amps	출력 권선 RMS 전류
IRIPPLE2			0.00	Amps	출력 커패시터 RMS 리플 전류
PIVS2			2	Volts	출력 정류기 최대 피크 역 전압
CMS2			0	Cmils	출력 권선 베어 커덕터 최소 전선 단면적
AWGS2		해당 없음		AWG	전선 굵기(그 다음으로 큰 표준 AWG 값으로 반올림됨)
DIAS2		해당 없음		mm	최소 베어 커덕터 직경
ODS2		해당 없음		mm	3중 절연선의 최대 외부 직경
3차측 출력					
VO3				Volts	출력 전압
IO3_AVG				Amps	평균 DC 출력 전류
PO3_AVG			0.00	Watts	평균 출력 전력
VD3			0.7	Volts	출력 다이오드 순방향 전압 강하
NS3			0.38		출력 권선 턴 수
ISRMS3			0.000	Amps	출력 권선 RMS 전류
IRIPPLE3			0.00	Amps	출력 커패시터 RMS 리플 전류
PIVS3			2	Volts	출력 정류기 최대 피크 역 전압
CMS3			0	Cmils	출력 권선 베어 커덕터 최소 전선 단면적
AWGS3		해당 없음		AWG	전선 굵기(그 다음으로 큰 표준 AWG 값으로 반올림됨)
DIAS3		해당 없음		mm	최소 베어 커덕터 직경
ODS3		해당 없음		mm	3중 절연선의 최대 외부 직경
총 연속 출력 전력			35	Watts	총 연속 출력 전력
마이너스 출력			해당 없음		마이너스 출력이 있는 경우 출력 번호를 입력함. 예: VO2가 마이너스 출력인 경우 2를 입력

그림 11. 스프레드시트의 트랜스포머 2차측 설계 파라미터 섹션 - 다중 출력

7단계 - 입력 전압 선택 - 저전압/과전압 부품

입력 저전압 탐지 기능은 파워 서플라이가 입력 전압이 일정 레벨보다 높아질 때까지 시작되지 않도록 합니다. 작동이 시작될 때나 오토 리스타트 중에 전력 MOSFET 스위칭이 중단되는 경우, V 핀으로 흐르는 전류는 스위칭을 시작하려면 25µA(데이터 시트의 I_{UV})를 초과해야 합니다. DC 레일에서 V 핀까지의 저항은 입력 전압을 감지하는 데 사용되므로 V 핀으로 흐르는 전류가 25µA를 초과하게 만드는 공급 전압은 저전압 기준값을 의미합니다. 동일한 저항이 입력 과전압 기준값도 나타냅니다. V 핀으로 흐르는 전류가 I_{OV}(일반적으로 112µA)를 초과할 때, 디바이스의 스위칭이 중단되고 TOPSwitch-JX의 정격 전압(BV_{DSS})이 725V로 높아집니다.

DC 레일과 V 핀이 일반 값인 4MΩ로 연결되어 있는 경우, 입력 UV는 100VDC로, OV는 450VDC로 프로그래밍됩니다.

센싱 저항은 400V보다 높게 지정해야 하며, 일반적으로 0.5W 디바이스 한 개 또는 직렬 연결된 0.25W 디바이스 두 개가 필요합니다. 유니버설 입력 애플리케이션에서 입력 센싱 저항을 사용할 경우, 일반적으로 4MΩ 값이 권장됩니다. 자세한 지침은 설계 스프레드시트에 나와 있습니다.

저전압(UV) 또는 과전압(OV) 기능을 선택적으로 사용할 경우, TOPSwitch-JX 제품군 데이터 시트에 여러 회로가 나와 있으므로 외부 부품을 손쉽게 선택할 수 있습니다. V 핀 기능을 사용하지 않을 경우, V 핀을 SOURCE 핀에 연결해야 합니다. V 핀을 연결하지 않은 상태로 두어서는 안 됩니다.

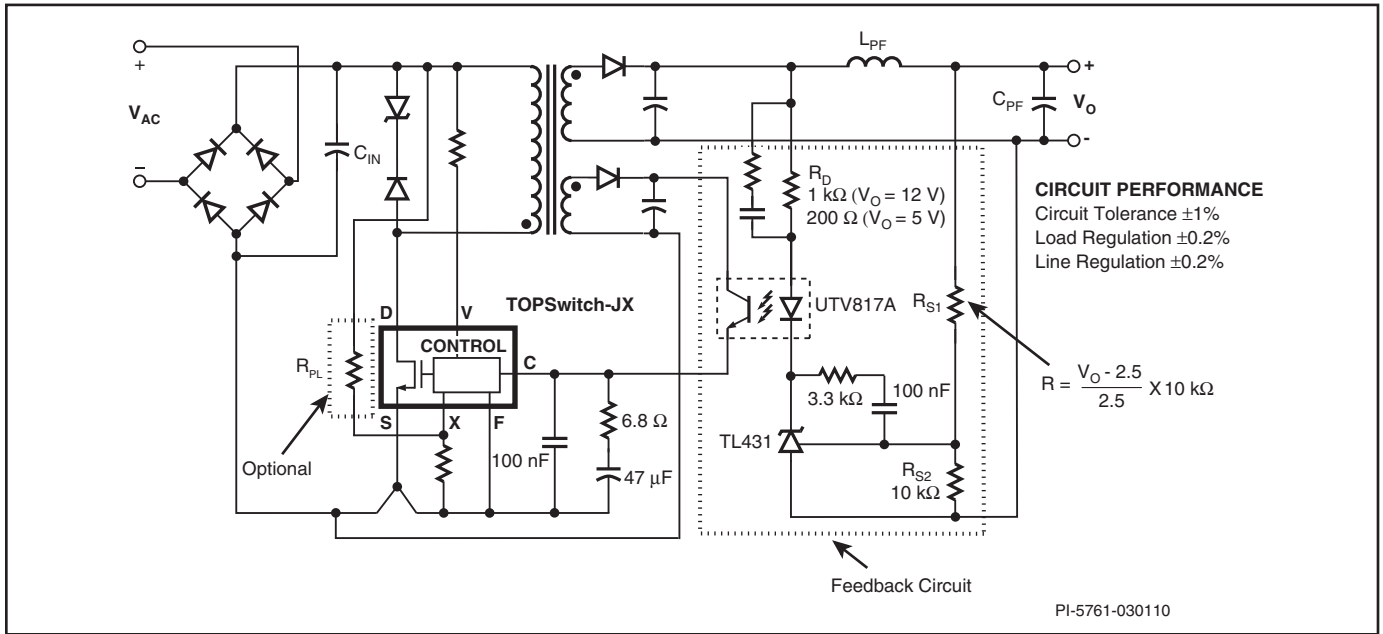


그림 12. 옵토커플러-TL431 피드백 회로를 사용하는 일반적인 TOPSwitch-JX 플라이백 파워 서플라이

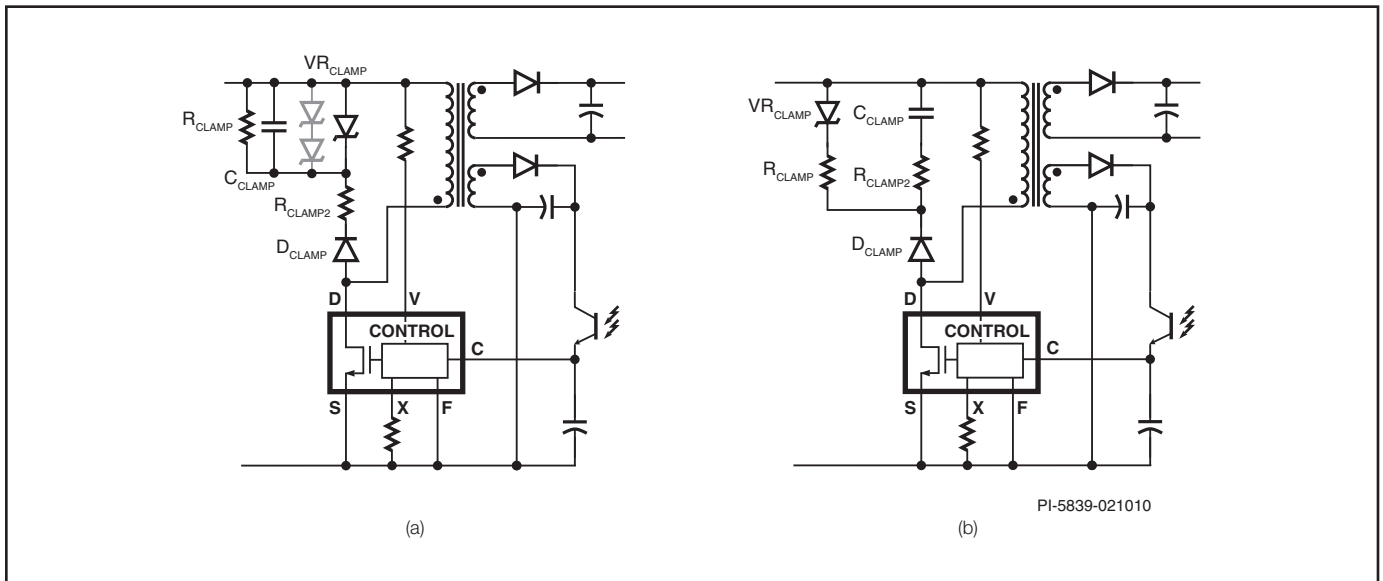


그림 13. TOPSwitch-JX 애플리케이션에 대한 권장 클램프 회로

8단계 - 1차측 클램프 부품 선택

TOPSwitch-JX 설계에서 제너 클램프 또는 제너 클램프가 결합된 RCD를 사용하는 것이 좋습니다. 이렇게 하면 피크 드레인 전압이 내장 MOSFET의 BV_{DSS} 미만으로 제한되면서도 효율성은 극대화되고 무부하 소비 전력을 최소화할 수 있습니다.

피크 부하 상태에서 피크 드레인 전압을 제한하도록 설계된 표준 RCD 클램프는 출력 전력이 감소하면서 상당한 부하를 나타내어 경부하 효율성은 낮아지고 무부하 소비 전력은 높아집니다.

그림 13a에는 RCD와 제너 클램프가 결합된 예가 나와 있습니다. 정상 작동 중에는 제너 다이오드가 도통되지 않고 R_{CLAMP} 및 C_{CLAMP} 에 의해 클램핑됩니다. 이를 통해 과부하 및 스타트 업이 아닌 풀 부하 시 값들이 최적화 됩니다. 결과적으로 손실이 줄어들고 경부하 및 무부하 입력 전력이 향상됩니다. 출력 과부하 및 스타트 업 시 $V_{R_{CLAMP}}$ 는 MOSFET의 BV_{DSS} 정격 값보다 낮게 정의된 최대 드레인 전압을 제공합니다. 고전력 설계에서는 손실(그림 13a의 회색 표시)을 분산시키기 위해 제너가 여러 개 필요할 수 있습니다. 한 개의 제너 클램프를 사용할 수도 있는데(R_{CLAMP} 와 C_{CLAMP} 제거) 이 경우, 풀부하 및 경부하 효율성이 향상되고 무부하 입력 전력이 낮아지지만 EMI는 높아집니다.

그림 13b에는 효율적인 RCDZ 클램프 회로가 나와 있습니다. 이 구조는 제너 클램프의 경부하 및 무부하 성능과 RCD 클램프의 낮은 EMI 특성을 제공합니다. 이 회로의 장점은 경부하 또는 무부하에서 C_{CLAMP} 가 $V_{R_{CLAMP}}$ 값 아래로 방전되지 않는다는 점입니다. 경부하 또는 무부하 정상적인 RCD 클램프에서는 커패시터 리플 전압이 매우 커지고($>V_{OR}$) 메인 부하에서 클램프는 무부하 입력 전력이 약해지고 경부하 효율성이 낮아집니다. 작동 원리는 기존의 RCD 클램프와 비슷합니다. 스위치의 턴오프 이벤트 후 커패시터 C_{CLAMP} 는 R_{CLAMP} 와 $V_{R_{CLAMP}}$ 를 통해 방전되어 다음 턴오프 이벤트를 위해 커패시터를 리셋합니다. $V_{R_{CLAMP}}$ 와 R_{CLAMP} 의 전반에 걸쳐 가해진 전압 비율에 따라 전력 손실이 두 부품에 분산됩니다. 권장해 드리는 $V_{R_{CLAMP}}$ 값은 설계에서의 V_{OR} 보다 약 10% 높습니다. 제너 두 개를 직렬로 배치하여 제너의 전력 용량을 늘릴 수 있습니다.

이러한 상태에서 피크 드레인 전압은 부품 변동에 따른 마진을 제공하기 위해 최대 675V로 제한해야 합니다. 클램프 다이오드 (D_{CLAMP})는 역 회복 시간이 500ns보다 짧은, 고속 또는 초고속 회복 타입을 사용해야 합니다. 어떠한 경우에도 표준 회복 정류 다이오드를 사용해서는 안 됩니다. 스타트업 또는 출력 회로 단락 시 발생할 수도 있는 높은 손실로 인해 다이오드에 장애가 발생할 수 있습니다. 저항 R_{CLAMP1} 은 EMI를 줄이기 위해 링잉을 댐핑합니다. 다양한 TOPSwitch-JX 제품군을 사용하는 파워 서플라이에는 각기 다른 피크 1차측 전류 및 누설 인덕턴스와 이에 따른 다양한 누설 에너지가 발생합니다. 각 설계에서 커패시터 C_{CLAMP} 와 R_{CLAMP} 를 최적화해야 합니다. 일반적인 규칙처럼, 커패시터 C_{CLAMP} 값을 최소화하고 저항 R_{CLAMP} 값을 최대화하면서 피크 드레인 전압 제한을 권장 값인 675V로 맞추십시오.

9단계 - 출력 정류 다이오드 선택

각 출력에서 설계 스프레드시트에 제공된 피크 역 전압(V_R) 값 및 출력 전류(I_o) 값을 사용하여 출력 다이오드를 선택합니다. 표 6에는 널리 사용되는 몇 가지 다이오드 유형이 나와 있습니다.

$V_R \geq 1.25 \times PIV_S$: 여기서 PIV_S 는 스프레드시트의 전압 스트레스 파라미터 섹션과 트랜스포머 2차측 설계 파라미터(다중 출력)에서 참조한 값입니다.

$I_o \geq 2 \times I_o$: 여기서 I_o 는 다이오드 정격 DC 전류이고 I_o 는 평균 출력 전류입니다. 프로토타입을 제작하였으면 온도 상승 및 피크 부하 상태의 지속 기간에 따라 정격 다이오드 전류를 높여야 할 수도 있습니다. 이는 필요한 히트싱크 양에도 적용됩니다.

정류기 다이오드	V_R (V)	I_o (A)	패키지	제조업체
쇼트키				
1N5819	40	1	Axial	Vishay
SB140	40	1	Axial	Vishay
SB160	60	1	Axial	Vishay
MBR160	60	1	Axial	IR
11DQ06	60	1.1	Axial	IR
1N5822	40	3	Axial	Vishay
SB340	40	3	Axial	Vishay
MBR340	40	3	Axial	IR
SB360	60	3	Axial	Vishay
MBR360	60	3	Axial	IR
SB540	40	5	Axial	Vishay
SB560	60	5	Axial	Vishay
MBR745	45	7.5	TO-220	Vishay / IR
MBR760	60	7.5	TO-220	Vishay
MBR1045	45	10	TO-220	Vishay / IR
MBR1060	60	10	TO-220	Vishay
MBR10100	100	10	TO-220	Vishay
MBR1645	45	16	TO-220	Vishay / IR
MBR1660	60	16	TO-220	Vishay
MBR2045CT	45	20 (2 × 10)	TO-220	Vishay / IR
MBR2060CT	60	20 (2 × 10)	TO-220	Vishay
MBR20100	100	20 (2 × 10)	TO-220	Vishay / IR
UFR				
UF4002	100	1	Axial	Vishay
UF4003	200	1	Axial	Vishay
MUR120	200	1	Axial	Vishay
EGP20D	200	2	Axial	Vishay
BYV27-200	200	2	Axial	Vishay / NXP
UF5401	100	3	Axial	Vishay
UF5402	200	3	Axial	Vishay
EGP30D	200	3	Axial	Vishay
BYV28-200	200	3.5	Axial	Vishay / NXP
MUR420	200	4	TO-220	Vishay
BYW29-200	200	8	TO-220	Vishay / NXP
BYV32-200	200	18	TO-220	Vishay / NXP

표 6. 출력 정류기로 적합한 다이오드 목록

10단계 - 출력 커패시터 선택

정격 리플 전류

스프레드시트에서는 평균 출력 전력을 사용하여 출력 커패시터 리플 전류가 계산됩니다. 따라서 커패시터의 실제 정격은 설계에서 평균 전력 비율의 피크에 따라 달라집니다. 커패시터 리플 정격은 온도 제한이 있고 대부분의 피크 부하 기간이 커패시터의 열 시정수보다(<1s)보다 짧기 때문에 대부분의 경우에 이러한 가정이 가능합니다. 이러한 설계의 경우, 리플 정격이 스프레드시트에서 계산된 I_{RIPPLE} 값보다 크도록 출력 커패시터를 선택하십시오. 하지만 연속(평균) 전력에 대한 피크가 높고 피크 부하 상태 지속 기간이 긴 설계에서는 커패시터 정격을 최악의 부하 조건 및 주변 상태에서 측정된 커패시터 온도 상승에 따라 높여야 할 수도 있습니다.

적합한 하나의 커패시터를 찾을 수 없는 경우에는 두 개 이상의 커패시터를 병렬로 사용하여 각 커패시터 정격을 합한 값과 같은 정격 리플 전류를 획득할 수 있습니다.

다수의 커패시터 제조업체에서 커패시터 작동 온도가 데이터 시트의 최대 값에서 감소되면서 정격 리플 전류를 높이는 요인을 제공합니다. 너무 큰 커패시터가 설계되지 않도록 이러한 사실 또한 고려되어야 합니다.

ESR 사양

출력에서의 스위칭 리플 전압은 피크 2차측 전류에 출력 커패시터 (전해질형이라고 가정할 경우)의 ESR을 곱한 값과 같습니다. 따라서 리플 전압을 줄일 수 있도록 낮은 ESR 커패시터 타입을 선택하는 것이 중요합니다. 일반적으로, 출력 리플에 맞는 정격 커패시터를 선택하면 허용 가능한 ESR 값을 알 수 있습니다.

정격 전압

$V_{RATED} \geq 1.25 \times V_O$ 인 정격 전압을 선택합니다.

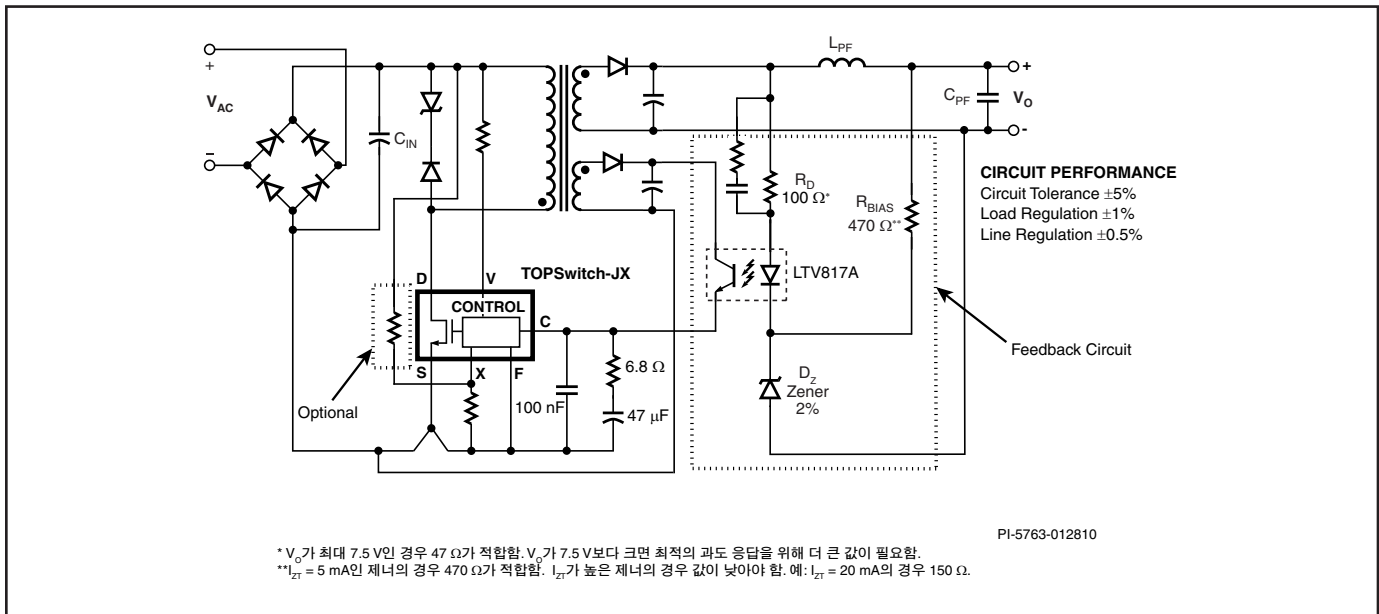


그림 14. 일반적인 제너 피드백 회로

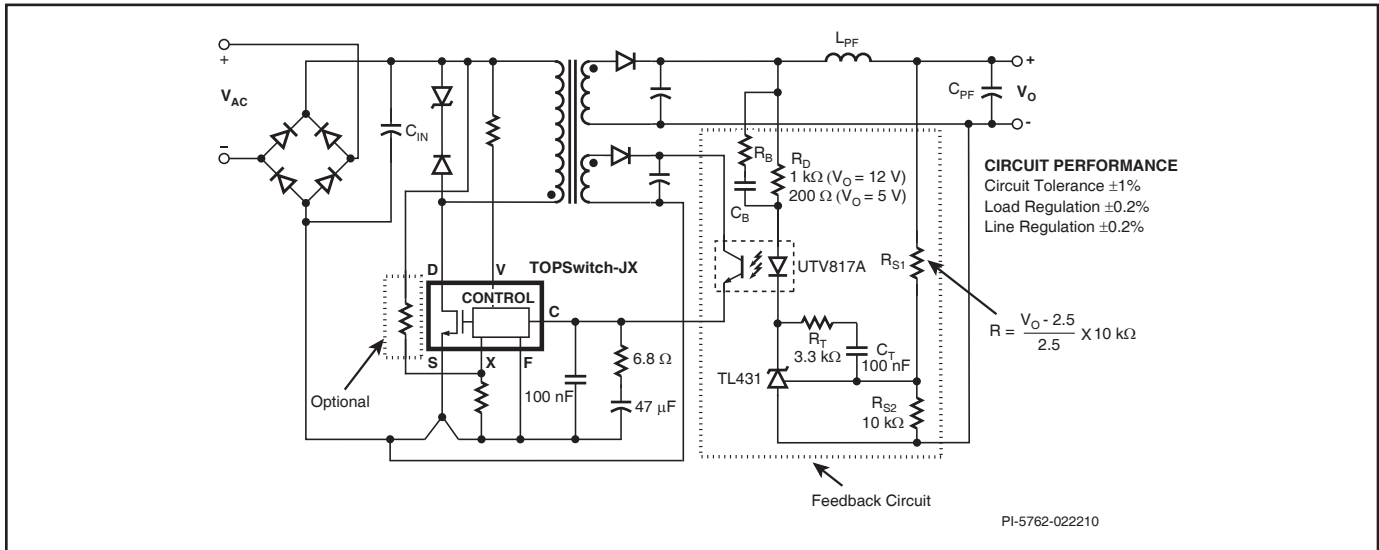


그림 15. 오프토퍼올러-TL431 피드백 회로

11단계 - 피드백 회로 부품 선택

파워 서플라이의 피드백 회로 선택은 원하는 출력 레귤레이션에 따라 좌우됩니다. 간단한 피드백 회로는 오토커플러 다이오드와 직렬 연결된 제너 다이오드를 사용하여 구성할 수 있습니다. 이 방식은 비용이 저렴하지만 제너 다이오드에 의지하여 출력 전압을 제어하므로 레퍼런스 IC와 비교하여 디바이스의 넓은 오차 범위와 광범위한 온도 계수로 인해 성능이 제한됩니다.

그림 14에는 일반적인 제너 피드백이 구현되어 있습니다. 제너 다이오드 D_z 전체에 걸친 강하, 오토커플러 직렬 저항 R_D 및 오토커플러 LED에 의해 출력 전압이 정해집니다. 저항 R_{BIAS} 는 1mA 바이어스 전류를 제공하므로 제너 다이오드가 무류 전압 근처에서 작동합니다. 저항 R_D 는 피드백의 DC 게인을 설정합니다. 이 두 저항은 0.125W 또는 0.25W, 5%의 타입이 될 수 있습니다. 피드백 네트워크를 바이어스 상태로 만드는 데 필요한 전류를 최소화하여 무부하 입력 소비 전력을 낮출 수 있도록 테스트 전류가 낮은($I_{ZT} \leq 5mA$) 제너를 선택하는 것이 좋습니다.

그림 15에는 레퍼런스 IC를 사용한 일반적인 구현이 보다 정확하게 나와 있습니다. TL431은 출력 전압을 설정하는 데 사용되며 저항 분배기 R_{S1} 과 R_{S2} 를 통해 프로그래밍되어 있습니다. 저항 R_D 는 DC 게인을 설정합니다. 커패시터 C_T 는 폐 루프 전달 함수에서 0Hz에 가까운(실제로 한정된 TL431 게인에 의해 제한됨) 극점을 추가합니다. 또한 C_T 는 아래와 같이 저항 R_T 와 R_{S1} 과 함께 저주파수 영점(f_{z1})을 형성합니다.

$$f_{z1} = \frac{1}{2\pi(R_T + R_{S1})C_T}$$

부품 값은 이 영점이 약 100Hz에서 발생하는 값으로 선택해야 합니다.

TOPSwitch-JX의 7kHz 내부 극점은 고주파수 극점(f_{p1})을 제공함으로써 2타입의 보정 구조를 완성할 수 있습니다(그림 16 참조).

크로스오버 주파수에 가깝게 위상을 높여야 하는(위상 부스트) 경우가 있습니다. 저항 R_D 를 선택하여 원하는 크로스오버 주파수 f_C 를 획득하고 나면 RC 네트워크(R_B , C_B 사용)가 R_D 전체에 배치되고 위상 상승(위상 부스트)을 일으킬 수 있게 됩니다. 이러한 부품의 권장 시작 값은 다음과 같습니다.

$$R_B \approx \frac{R_D}{9}$$

$$C_B \approx \frac{9}{10(2\pi \times R_B \times f_C)}$$

이 배열에서는 일반적으로 크로스오버 주파수 f_C 를 크게 발생시키지 않고도 약 30°의 위상 마진을 추가로 제공할 수 있는 극점 영점 쌍(f_{z2} 와 f_{p2})이 배치됩니다(그림 17 참조).

P/N	CTR(%)	BVCEO	제조사
4핀 DIP			
PC123Y6	80-160	70 V	Sharp
PC817X1	80-160	70 V	Sharp
PC817X4J	300-600	80 V	Sharp
SFH615A-2	63-125	70 V	Vishay, Isocom
SFH617A-2	63-125	70 V	Vishay, Isocom
SFH618A-2	63-125	55 V	Vishay, Isocom
ISP817A	80-160	35 V	Vishay, Isocom
LTV817A	80-160	35 V	Liteon
LTV816A	80-160	80 V	Liteon
LTV123A	80-160	70 V	Liteon
LTV817D	300-600	35 V	Liteon
K1010A	60-160	60 V	Cosmo
6핀 DIP			
LTV702FB	63-125	70 V	Liteon
LTV703FB	63-125	70 V	Liteon
LTV713FA	80-160	35 V	Liteon
K2010	60-160	60 V	Cosmo
PC702V2NSZX	63-125	70 V	Sharp
PC703V2NSZX	63-125	70 V	Sharp
PC713V1NSZX	80-160	35 V	Sharp
PC714V1NSZX	80-160	35 V	Sharp
MOC8102	73-117	30 V	Vishay, Isocom
MOC8103	108-173	30 V	Vishay, Isocom
MOC8105	63-133	30 V	Vishay, Isocom
CNY17F-2	63-125	70 V	Vishay, Isocom, Liteon

표 7. 오토커플러

일반적으로 고주파수 스위칭 노이즈와 리플을 줄이기 위해 포스트 필터(L_{PF} 와 C_{PF})가 추가됩니다. 정격 전류가 피크 출력 전류보다 높은 상태에서 인덕터 L_{PF} 는 1μH~3.3μH에 속해야 합니다. 정격 전압이 $1.25 \times V_{OUT}$ 이상인 경우, 커패시터 C_{PF} 는 100μF~330μF에 속해야 합니다. L_{PF} 와 C_{PF} 는 10kHz 이상에서 각각의 공진 주파수가 발생하도록 함께 사용해야 합니다. 이렇게 하면 포스트 필터로 인한 파워 서플라이의 대역폭 내 위상 저하가 발생하지 않습니다. 그런 다음 포스트 필터가 사용되고 아래와 같이 오토커플러가 포스트 필터 인덕터와 센싱 저항 앞에 연결되어야 합니다. 일반적으로 포스트 필터 뒤에 연결하면 발전이 유발됩니다.

표 7은 절연 스위칭 파워 서플라이의 피드백 컨트롤을 위해 많이 사용되는 오토커플러 목록입니다. 일반적인 CTR이 1:6인 오토커플러를 사용하는 것을 권장합니다.

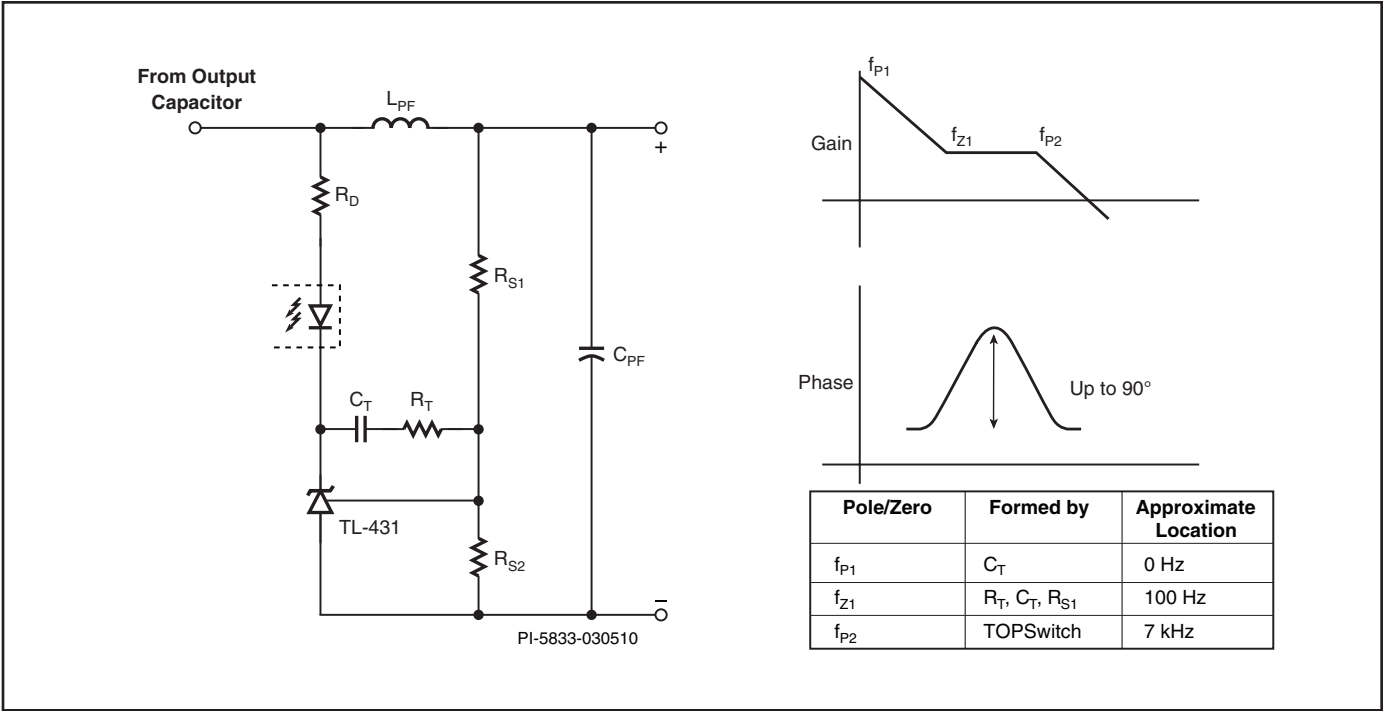


그림 16. TOPSwitch-JX를 사용하는 일반적인 "타입 2" 컨트롤러 구현

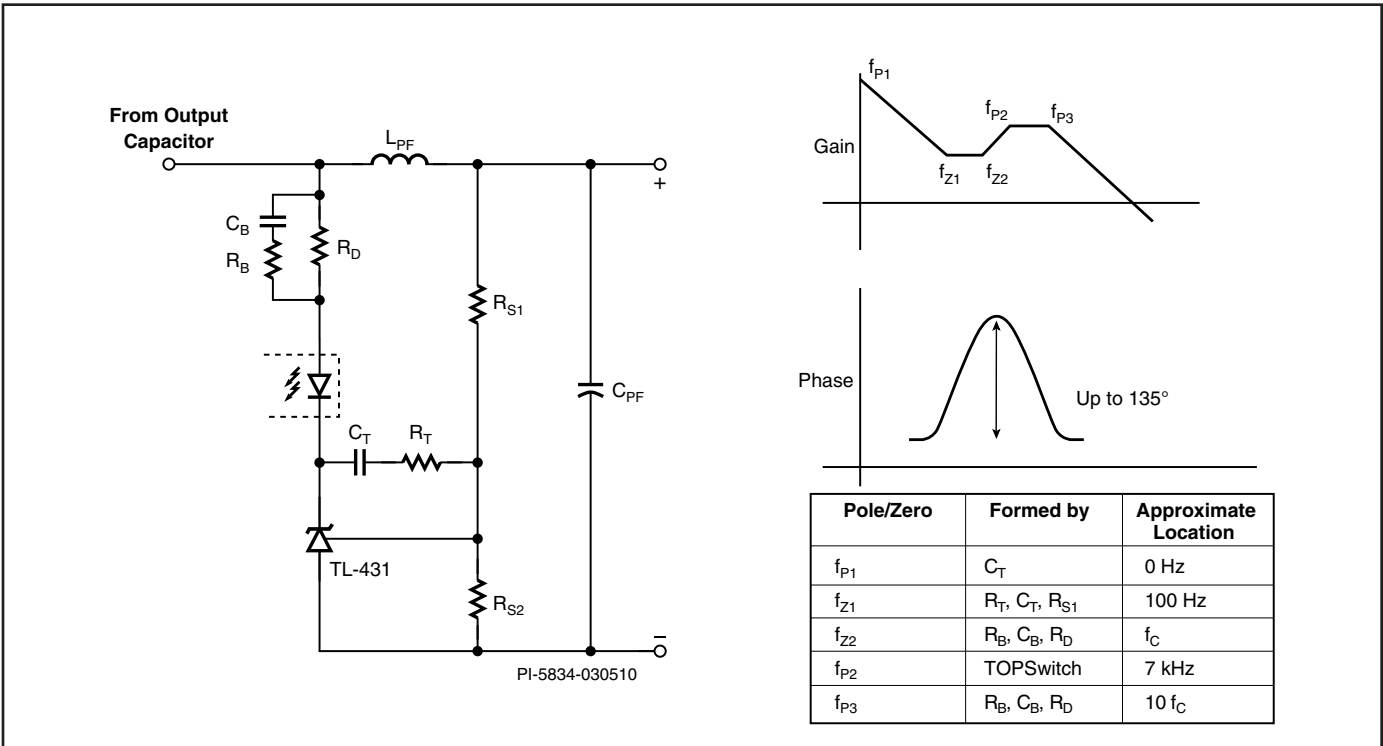
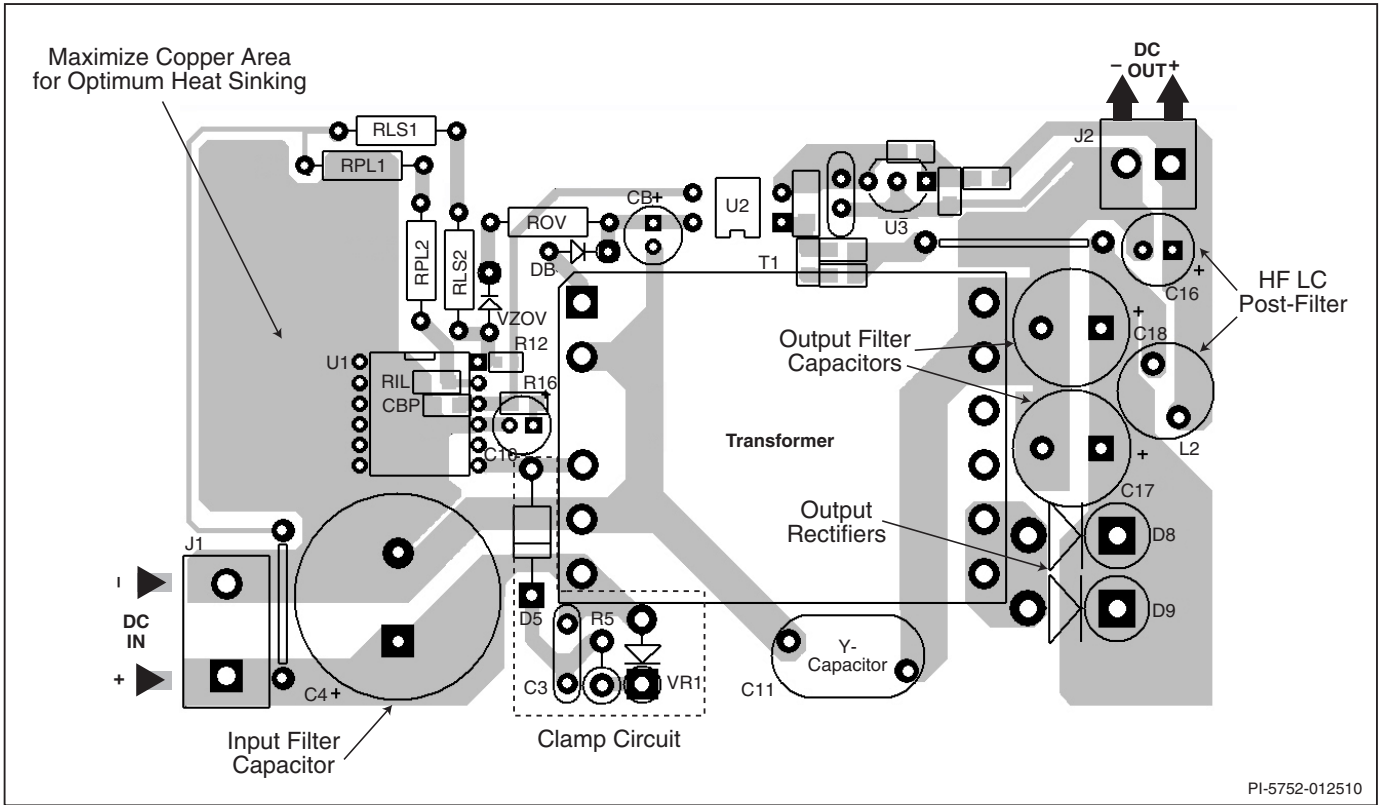
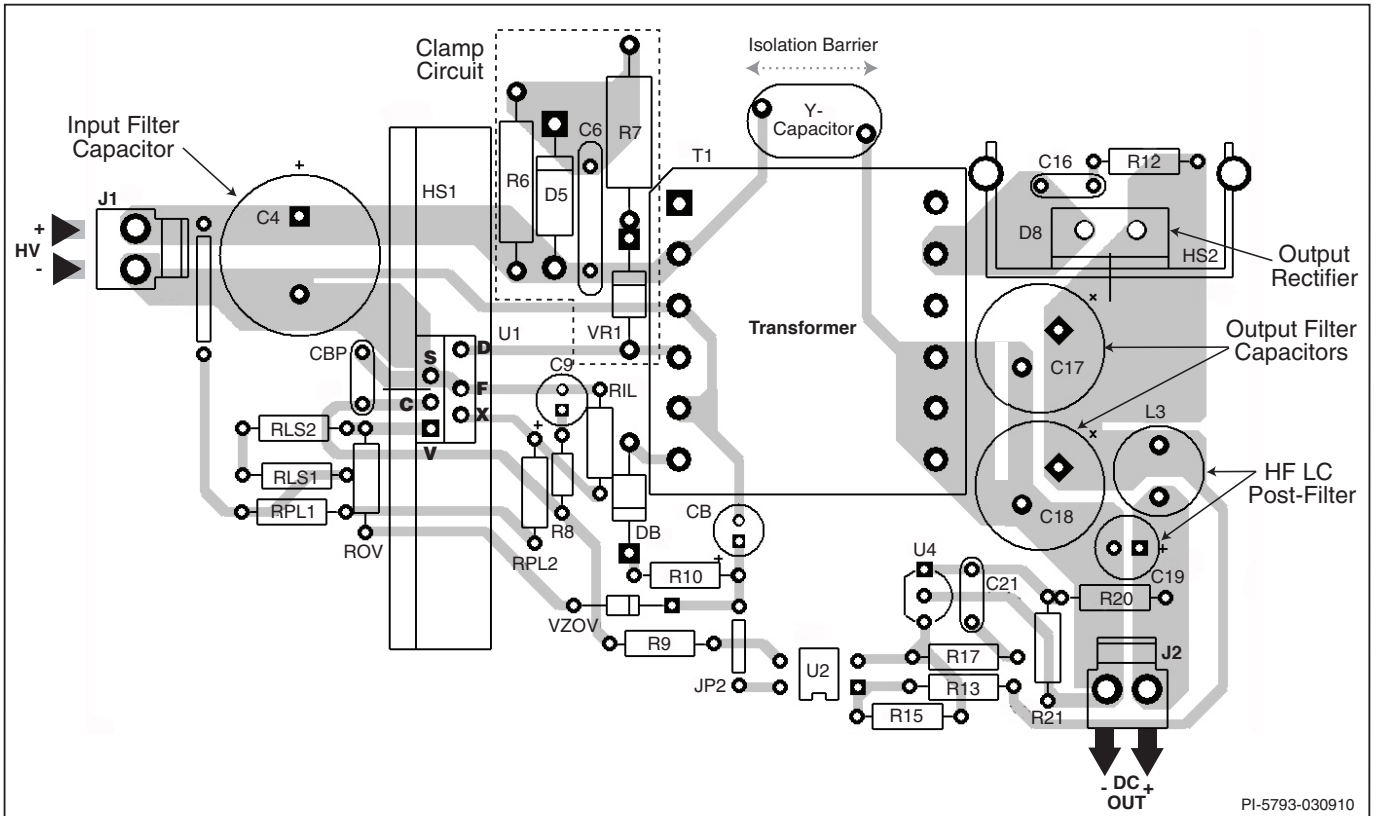


그림 17. 크로스오버에 가까운 위상 부스트를 제공하기 위해 변경된 "타입 2" 컨트롤러



PI-5752-012510

그림 18a. V-패키지 사용 시 TOPSwitch-JX의 레이아웃 고려 사항



PI-5793-030910

그림 18b. E-패키지 사용 시 TOPSwitch-JX의 레이아웃 고려 사항

설계 팁

설계 권장 사항:

- 고출력 전압 설계(12V보다 높음), 특히 높은 값의 출력 커패시터가 사용되는 설계의 경우 소프트 피니쉬 회로가 권장됩니다. 이 회로를 사용하면 낮은 입력 전력으로 최대 부하에서 스타트 업 되고 출력 전압 오버슈트가 방지됩니다. 그림 22의 R23, D6, C19는 소프트 피니쉬 회로 중 하나를 보여주고 있습니다.
- 바이어스 권선 출력 필터에는 10 μ F, 50V의 전해 커패시터를 사용하는 것이 좋습니다. 이는 파워 서플라이에 부하가 걸리지 않을 때 옴토커플러에 적절한 바이어스 전압이 적용되도록 하기 위함입니다. 높은 입력 전압 및 무부하에서 바이어스 전압은 최상의 무부하 입력 전력 성능을 구현하기 위해 7V(최악의 경우) 아래로 떨어지면 안 됩니다. 바이어스 권선 전압 또는 커패시터를 이에 따라 조정하십시오.

회로 기판 레이아웃

TOPSwitch-JX는 하나의 칩에 컨트롤러와 고전압 MOSFET을 통합시킨 고집적 파워 서플라이 솔루션입니다. 아날로그 신호와 함께 높은 스위칭 전류와 전압이 있기 때문에 파워 서플라이가 안정적이고 문제 없이 동작할 수 있도록 반드시 알맞은 PCB 설계 방식을 따르는 것이 중요합니다.

TOPSwitch-JX를 사용한 파워 서플라이용 PCB 설계 시, 다음 가이드 라인을 따라야 합니다.

1차측 연결

- TOPSwitch-JX의 SOURCE핀과 바이어스 권선 그라운드를 입력 평활 커패시터의 마이너스 단자와 연결하는 단일 그라운드 포인트(kelvin)를 사용하십시오. 이는 서지 전류를 바이어스 권선에서 입력 평활 커패시터로 직접 리턴시켜 IC의 서지 내성을 향상시킵니다.
- CONTROL핀 바이패스 커패시터는 SOURCE핀과 CONTROL핀으로부터 최대한 가까이 있어야 하고 SOURCE핀의 패턴은 메인 MOSFET 스위칭 전류 또는 바이어스 권선 회복 연결과 공유하지 않아야 합니다.
- VOLTAGE MONITOR(V) 핀 또는 EXTERNAL CURRENT LIMIT(X) 핀에 연결된 모든 SOURCE 핀 레퍼런스 부품도 해당 핀과 SOURCE 핀 사이에 가까이 있어야 합니다. 그리고 SOURCE 핀의 패턴은 주 MOSFET 스위칭 전류가 흐르는 패턴 또는 바이어스 권선 그라운드 전류가 흐르는 패턴과는 분리시켜야 합니다. SOURCE핀 스위칭 전류는 CONTROL핀, VOLTAGE-MONITOR핀 또는 EXTERNAL CURRENT LIMIT핀에 연결된 부품과 패턴을 공유하지 않고 각각 독립된 패턴을 통해 입력 평활 커패시터의 마이너스 단자로 다시 유입되는 점을 주의 깊게 봐주시기 바랍니다. 이는 SOURCE핀이 컨트롤러 그라운드 레퍼런스 핀이기 때문입니다. V 또는 X 핀에 연결된 모든 패턴의 길이는 가능한 짧게 유지하면서 DRAIN 노드, 클램프 부품, di/dt 또는 dv/dt가 높은 노드에서 멀리 떨어뜨려 노이즈가 커플링되지 않도록 해야 합니다.
- 입력 센싱 저항은 V핀에 가깝게 위치시켜 하이 임피던스 V 핀 측의 패턴 길이를 최소화합니다. V 핀 저항의 DC 버스측은 입력 커패시터에 최대한 가까이 연결해야 합니다.
- 47 μ F CONTROL 핀 커패시터 외에도 로컬 디커플링에 고주파수 0.1 μ F 바이패스 커패시터를 함께 사용해야 합니다(그림 18의 C_{BP}).
- 피드백 옴토커플러 출력은 노이즈 커플링을 방지하기 위해 고전압 또는 고전류 패턴에서 멀리 떨어져 배치되어야 합니다.

Y 커패시터

Y 커패시터는 트랜스포머의 1차측 DC 입력 핀과 트랜스포머의 2차측 출력 회복 핀에 가까이 연결하는 것을 권장합니다. Y 커패시터가 1차측과 2차측 RTN 사이에 연결되어 있는 경우, 1차측 연결은 전용 패턴을 통해 Y 커패시터에서 입력 커패시터 마이너스 단자로 이어져야 합니다. 이렇게 해야 절연 배리어 전반에 흐르는 라인 서지로 인한 번위 전류를 TOPSwitch-JX에 연결된 패턴에서 멀리 떨어져 라우팅할 수 있습니다.

2차측

누설 인덕턴스 및 EMI를 최소화하려면 2차측 권선, 출력 다이오드 및 출력 필터 커패시터를 연결하는 루프 영역을 최소화해야 합니다. 또한 발열을 용이하게 하기 위해 다이오드의 애노드 및 캐소드 단자에 충분한 구리 면적이 있어야 합니다. 애노드 영역이 크면 고주파수 방사 EMI가 증가될 수 있으므로 노이즈가 없는 캐소드 단자 영역이 더 커야 좋습니다.

피해야 할 가장 일반적인 레이아웃 문제

부적절한 레이아웃은 성능 문제를 일으키는 경우가 많으며 이를 분석하는 데 시간이 오래 걸릴 수 있습니다. PCB 설계 변경이 어려운 개발 과정 마지막에 이러한 문제가 나타날 수 있습니다. 그림 19는 문제의 근본 원인을 재빨리 파악하고 레이아웃을 정정하는데 도움이 됩니다. 이 그림에는 일반적인 레이아웃 실수와 이를 피해야 하는 이유가 도식화되어 있습니다.

경부하의 효율성 및 무부하 입력 전력에 관한 팁

올바른 전력 측정기 구조

그림 25에는 전력 측정기의 전압 및 전류 센싱 요소의 구조 두 개와 이에 해당하는 일반적인 임피던스가 나와 있습니다. 각 전압 및 전류 요소는 사용자가 구성할 수 있도록 일반적으로 기기 후면에 있습니다.

저전력 측정값(<100W)의 경우 구조(a)를 사용해야 합니다. 그러면 전력 판독값 중 하나인 전압 센싱 요소의 입력 임피던스가 정적 손실되는 것을 방지할 수 있습니다. 230VAC에서 이러한 정적 손실은 입력 임피던스가 2M Ω 인 경우 미터당 26mW의 오류에 해당합니다. 따라서 무부하 입력 전력 측정 시 대부분의 에너지 효율성 테스트 방식(IEC 62301)의 불확정성 요구 사항(0.01W 이하)이 충족되지 않습니다. 구조(a)에는 전류 센싱 요소 전체에 걸친 전압 강하(전력 손실)로 인한 오류가 나와 있습니다. 그러나 이 오류는 저전력 측정값에서 보통 무시됩니다. 예를 들어 85VAC, 2A_{RMS} 측정에서 전력 손실이 64mW인 경우, 전력 측정 규정값이 $\leq 2\%$ 인 것에 비해 <0.05%가 측정되는 오류가 발생합니다.

전력 측정기가 올바르게 구성되었는지 바로 확인하기 위해 PSU (파워 서플라이 유닛)를 연결하지 않고 230VAC를 전력 측정기에 적용합니다. 전력 측정기에 0이 아닌 전력 값이 표시되면 구조(b)가 사용 중일 수 있습니다. 이 경우 전력 측정기를 구조(a)로 전환하십시오.

무부하 입력 전력 안정 시간

무부하 또는 대기 상태에서 입력 전력을 측정할 때 입력 전력이 안정될 수 있도록 충분한 시간을 갖고 측정합니다. 그림 27에는 230VAC 입력에서 TOPSwitch-JX 설계의 무부하 입력 전력을 측정할 때의 일반적인 안정 시간이 나와 있습니다. 입력 전력은 Yokogawa WT210 전력 측정기를 사용하여 5.5분(330초) 동안 100ms마다 측정되었습니다. 최종 값(55.4mW)의 3mW(5%) 내에서 전력 측정값을 획득하기 위해서는 90초 넘게 지연됩니다.

<p>✓ 권장 레이아웃</p> <p>입력 커패시터에 연결된 라인 센싱 저항(R_{LS})</p> <p>V 핀에 가까이 배치된 R_{LS}</p> <p>X 핀에 가까이 배치된 R_{IL}</p> <p>SOURCE 핀에 켈빈 연결 신호 패턴에 전류 흐름이 없음</p> <p>선호하는 Y 커패시터 배치 ($B+$ 출력 RTN 방향)</p> <p>입력 커패시터에서 Y 커패시터(C_{Y2})와 바이어스 그라운드가 전용 패턴을 통해 PRI RTN에 직접 연결되어 있음</p> <p>CONTROL 핀과 SOURCE 핀 사이에 배치된 CONTROL 핀 디커플링 커패시터</p> <p>PI-5764-030310</p> <p>원활한 디바이스의 작동을 위한 권장 레이아웃</p>	<p>✗ 부적절한 바이어스 권선 복귀 연결</p> <p>바이어스 권선 그라운드 및 (C_{Y2}를 통한) 1차측과 2차측 사이 변위 전류가 신호 패턴을 통해 흐름. 패턴 임피던스 전체에 걸친 전압 강하(ΔV_S)는 컨트롤러의 소스 레퍼런스를 변조시킴</p> <p>PI-5765-011210</p> <p>부적절한 레이아웃으로 인해 출력 리플이 증가되거나 디바이스가 올바르게 작동하지 못함</p>
<p>✗ 부적절한 신호 소스 연결</p> <p>SOURCE 핀에서 켈빈 연결이 없는 경우, 전력 전류(I_S)로 인해 패턴(ΔV_S)에 전압 강하가 발생하여 컨트롤러의 소스 레퍼런스가 변조됨</p> <p>PI-5766-011310</p> <p>부적절한 레이아웃으로 인해 출력 리플이 증가되거나 디바이스가 올바르게 작동하지 못함</p>	<p>✗ 부적절한 라인 센싱 저항 배치 및 연결</p> <p>패턴 임피던스(ΔV_{B+}) 전체에 걸친 전압 강하는 V 핀 전류를 변조시킴</p> <p>R_{LS}는 디바이스에서 멀리 배치, V 핀 노드 영역이 증가하면 전위 노이즈 커플링이 증가됨</p> <p>V 핀 패턴이 드레인 노드와 가깝게 라우팅되어 노이즈 커플링 발생</p> <p>PI-5767-012810</p> <p>부적절한 레이아웃으로 인해 UV/OV 기준값이 변경되고 출력 리플이 증가됨</p>

그림 19. 레이아웃 고려 사항(도식화) 및 가장 일반적인 실수

무부하 입력 전력의 반복성

TOPSwitch-JX의 무부하 소비 전력이 매우 작고 경부하시에도 효율이 좋기 때문에 주어진 사양에 대해 필요한 설계 마진이 작아도 됩니다. 그림 26에는 일반적인 성능 예가 나와 있습니다. 여기서 파워 서플라이의 무부하는 장치 온도가 25°C와 100°C일 때 TOP266EG 부품 48개를 사용하여 측정되었습니다. 각 온도에서 총 범위는 5mW 미만 그리고 7mW 미만으로 나타났습니다(두 온도에서의 데이터 포함).

저부하 효율성과 무부하 입력 전력의 개선

저부하 및 무부하 상태에서 피드백 네트워크, 입력 센싱 저항, 클램프의 소비 전력이 크며 최적화하지 않은 상태에서 설계 시 무부하 입력 전력이 두 배가 되거나 대기 상태에서 가능한 출력 전력이 크게 줄어 들 수 있습니다.

다음 방식에 따라 이러한 손실을 최소화할 수 있습니다.

- 출력 더미 부하 최소화
- 입력 센싱 저항을 V 핀에 연결
- 클램프 선택 및 최적화

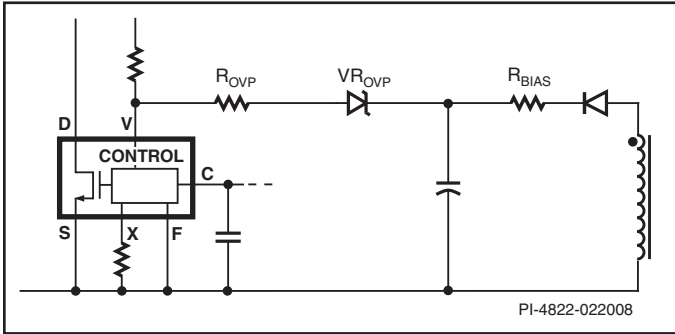


그림 20. TOPSwitch-JX 기반 플라이백 파워 서플라이용 1차측 센싱 OVP 회로

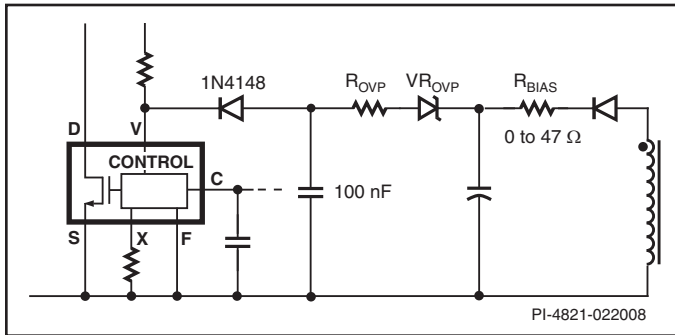


그림 21. TOPSwitch-JX를 사용한 플라이백 파워 서플라이용 1차측 센싱 과전압 보호 회로(추가적인 V 핀 노이즈 디커플링)

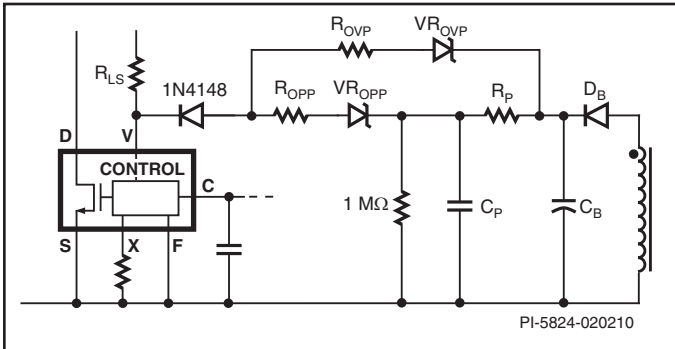


그림 22. TOPSwitch-JX를 사용한 과전압 및 과전력 보호 기능

- 바이어스 권선 전압 최소화
- 입력 센싱 저항 값 증가
- 달링턴 구성의 일부로 옴토커플러 트랜지스터 구성
- TLV431 및 TL431 2차측 레퍼런스 IC 사용 비교

그러나 이러한 기술을 시도하기 전에 먼저 입력 전력을 측정하는데 사용하는 전력 측정기가 올바르게 구성되었는지 확인하십시오 (그림 25).

출력 더미 부하 최소화

단일 출력 TOPSwitch-JX 설계에서는 출력 더미 부하가 필요하지 않으며 제거할 수도 있습니다. 다중 출력의 경우, 2차측 피드백 네트워크가 연결되지 않은 출력에 작은 더미 부하가 필요할 수 있습니다. 더미 부하가 없는 경우 이들 출력은 원하는 전압보다 훨씬 높게 피크 충전할 수 있습니다. 무부하 입력 전력을

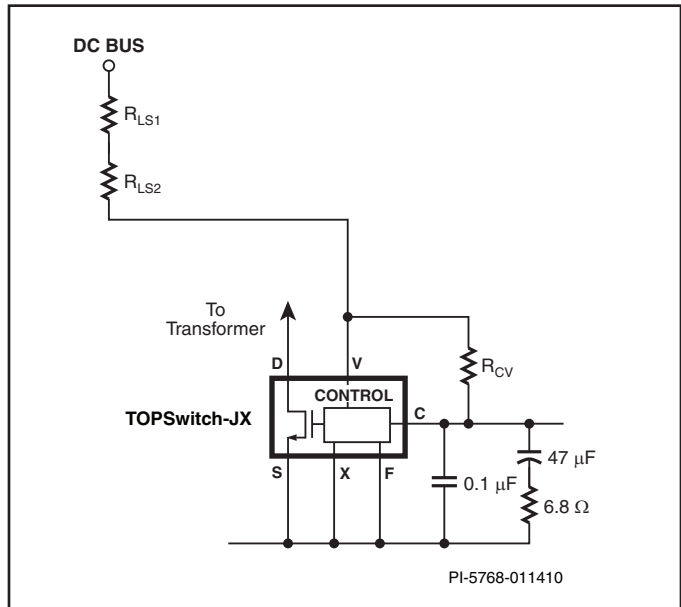


그림 23. 무부하 소비 전력을 줄이기 위한 C 핀에서 V 핀으로의 바이어스

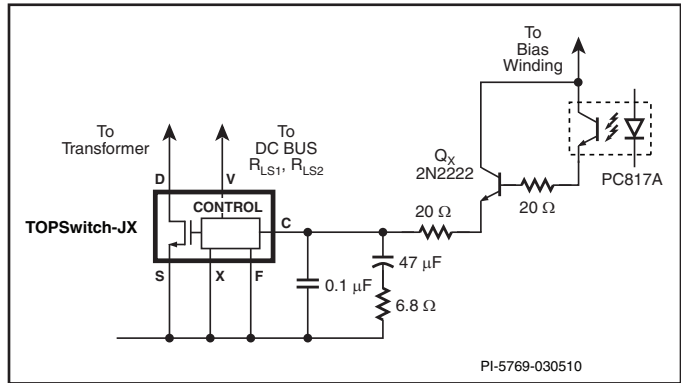


그림 24. 달링턴 방식을 사용하여 무부하 입력 전력을 줄임

최소화하려면 더미 부하 저항 값을 최대화해야 합니다. 전력 손실을 줄이기 위해서는 셉트 레귤레이터를 추가하여 메인 출력과 2차 출력 간에 일정한 차이를 유지합니다. 여기서 손실을 최소화하려면 메인 출력을 통해 그라운드로 전류가 흐를 수 있도록 셉트 레귤레이터의 트랜지스터를 구성해야 합니다.

(V 핀에 연결되는) 입력 센싱 저항 포함

입력 센싱 저항을 V 핀에 연결하면 입력 저전압 및 과전압 기능을 제공할 뿐 아니라 라인 피드 포워드 기능을 활성화할 수 있습니다. 이 기능은 입력 전압이 상승하면서 지정된 듀티 사이클을 프로그래밍하기 위해 CONTROL 핀에 필요한 전류량을 줄입니다. 이 전류는 출력 부하(옴토커플러 트랜지스터를 통한 바이어스 권선과 옴토커플러 LED를 통한 출력으로부터 공급받음)를 나타내며 CONTROL 핀 전류를 줄이므로 손실 또한 감소합니다. 따라서 입력 센싱 저항 자체의 손실이 추가되어도 경부하 효율성 및 무부하 입력 전력이 개선됩니다.

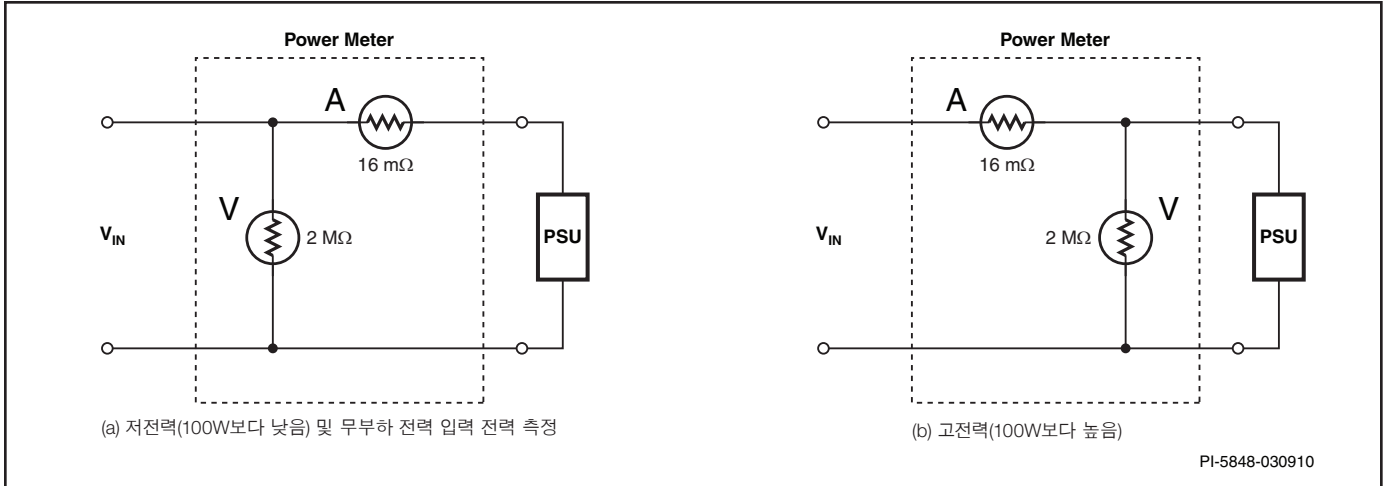


그림 25. 저전력/무부하 및 고전력 설계에서 값을 정확하게 측정하기 위한 올바른 전력 측정기 구성. TOPSwitch-JX 전력 수준의 경우, 회로 구성(a)을 사용하는 것이 좋음

클램프 선택 및 최적화

경부하 및 무부하에서 손실을 최소화하기 위해 제너 또는 제너 블리드 클램프 구조를 선택하십시오. 풀부하 및 과부하 상태에서 피크 드레인 전압을 제한하도록 저항 값과 커패시터 값이 선택되어 있으므로 RCD 클램프를 사용해서는 안 됩니다. 그러나 경부하 또는 무부하 상태에서는 누설 인덕턴스 에너지와 스위칭 주파수가 모두 더 낮으므로 커패시터 전압을 크게 방전시킵니다. 커패시터는 각 스위칭 사이클에서 반사 출력 전압보다 높게 재충전해야 하므로 낮은 커패시터 전압은 낭비되는 에너지를 나타냅니다. 이것은 마치 파워 서플라이의 출력에 연결된 것처럼 클램프 손실을 큰 부하로 보이게 만드는 효과가 있습니다.

제너 및 제너 블리드 클램프 구조를 사용하면 커패시터 전체 전압이 최소 값(제너의 정격 전압으로 정의된 값) 아래로 방전되지 않도록 하여 경부하 및 무부하 상태에서 클램프 손실을 최소화하므로 이 문제가 해결됩니다.

그림 13에는 권장 클램프 구조가 나와 있습니다. 여기서는 레귤레이션 감소와 오토 리스타트가 일어나기 직전에 최대 AC 입력 전압 및 출력 과부하라는 최악 조건에서 피크 드레인 전압을 675V 아래로 유지하는 R_{CLAMP} 의 최고 값을 사용하여 클램프 손실을 최적화합니다. 클램프 설계에 대한 자세한 내용은 설계 흐름의 8 단계에 나와 있습니다.

무부하 상태의 바이어스 권선 전압 최소화

CONTROL 핀으로 흐르는 피드백 전류는 1차측에서 바이어스 권선 출력으로부터 공급됩니다. 따라서 바이어스 권선 전압을 최소화하면 전체 손실이 줄어듭니다. 무부하 및 최대 입력 전압 상태에서 오실로스코프를 사용하여 바이어스 권선 커패시터 전압을 모니터링하고(그림 31의 C10). 최소 전압이 7V 이상이 될 때까지 트랜스포머의 바이어스 권선의 턴 수를 줄이십시오. 전압이 이 값보다 낮아지면 오토커플러가 차단되어 무부하에서 출력 전압이 상승합니다. 바이어스 권선의 턴 수가 정수이므로 바이어스 전압을 완벽하게 최적화하지 못할 수 있으며, 이 경우 바이어스 커패시터의 값도 조정되어 증가되면서 바이어스 전압이 약간 상승할 수 있습니다. 일단 최적화되었으면, 과도 부하 상태에서 작동시켜 바이어스 전압이 7V 이상을 유지하는지 확인해야 합니다.

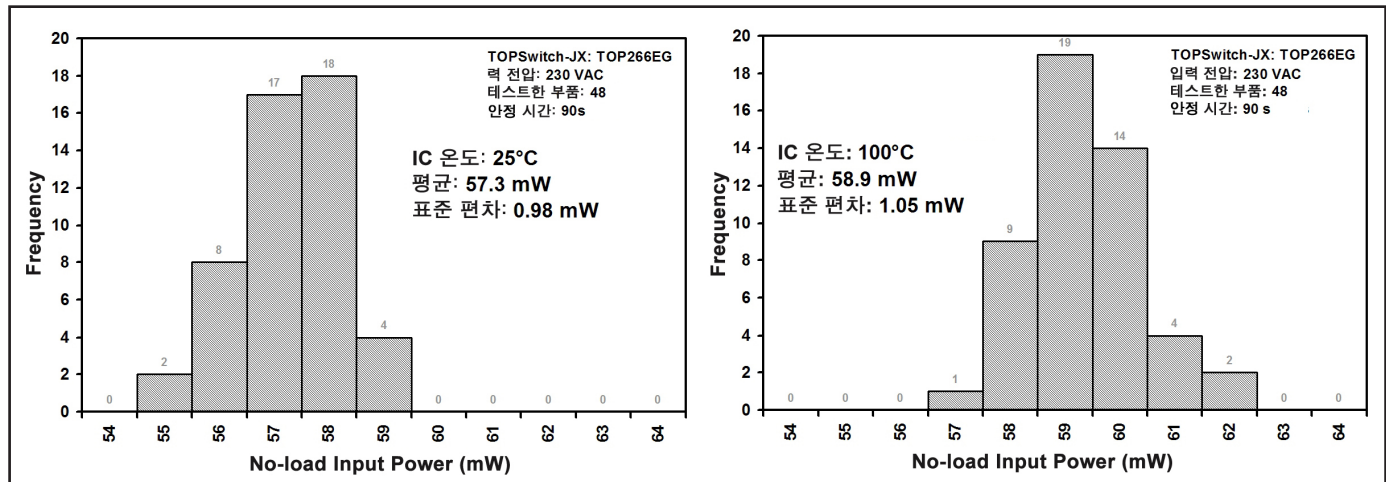


그림 26. 단일 파워 서플라이의 무부하 입력 전력에서 측정된 디바이스 간 및 온도 변화의 예

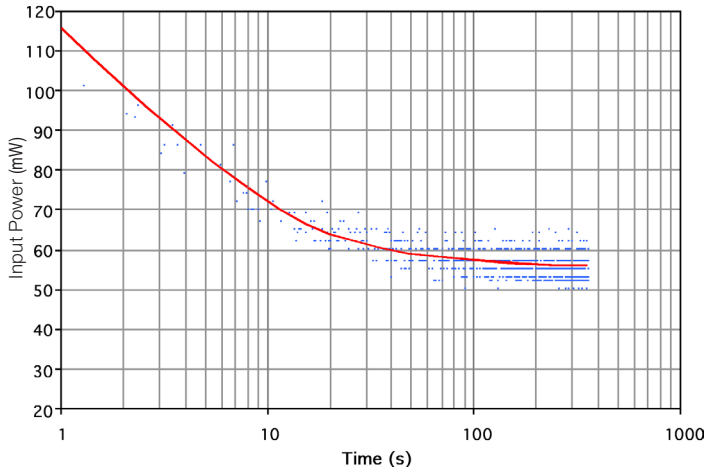


그림 27. 무부하 입력 전력 안정 시간. 여기에서 점은 필터링 없이 전력 측정기에서 순간 측정된 값을 나타내고, 선은 평균 측정 값을 나타냄.

입력 센싱 저항 값 증가

C핀에서 V핀으로 저항을 추가하여 입력 센싱 저항 손실을 줄일 수 있습니다(그림 23). 저항 R_{CV} 는 CONTROL 핀에서 VOLTAGE MONITOR 핀으로 흐르는 고정 전류를 프로그래밍합니다. 이렇게 하면 R_{LS1} 과 R_{LS2} 를 통해 DC 버스에서 필요한 전류가 줄어 V 핀의 입력 UV 임계 전류를 초과하게 됩니다. 따라서 R_{LS1} 과 R_{LS2} 를 합한 값이 4MΩ에서 10MΩ까지 증가하는 동시에 같은 입력 저전압 기준값을 유지합니다.

입력 저전압(UV) 기준값은 유지되지만 입력 과전압(OV) 기준값이 두 배가 되며 라인 피드 포워드 리플 제거 효율성이 떨어집니다. 실제로 대부분의 시판 제품의 경우, 해당 등급 제품이 견뎌야 하는 디퍼렌셜 서지 규정이 2kV로 낮으므로 입력 OV 기준값이 높으면 거의 영향을 받지 않습니다. 이 정도의 서지에서는 (평할 커패시터에서 필터링된) DC 버스 전압이 약간 증가하나 이는 BV_{DSS} 를 초과할 만큼의 전압보다는 훨씬 낮습니다.

디바이스의 오토 리스타트 기능이 제대로 동작하려면 R_{CV} 값이 300kΩ보다 낮아야 합니다.

달링턴 방식의 일부로 오토커플러 트랜지스터 구성

오토커플러를 달링턴(그림 24) 방식의 트랜지스터 중 하나로 구성하면 보통 무부하 입력 전력이 $\geq 1mA \times V_O$ 로 줄어듭니다. 달링턴의 게인이 증가되면 출력 레귤레이션을 유지하기 위해 지정된 CONTROL 핀 전류를 공급하는 데 필요한 오토커플러 LED(피드백) 전류가 줄어듭니다.

2차 피드백 전류는 출력에서 공급되므로 이는 출력 부하를 나타내며 따라서 피드백 전류를 낮추면 이 부하가 감소되어 입력 소비 전력도 줄어듭니다. 이러한 감소는 출력 전압의 작용이므로 출력 피드백이 고출력 전압(12V이상)에서 파생되는 설계에서는 이 방식이 가장 효과적입니다.

트랜지스터 Q_x 는 범용 NPN 유형일 수 있습니다. 안정성을 위해 Q_x 이미터(emitter)에서 CONTROL 핀에 작은 저항 값(20Ω)을 추가해야 합니다. Q_x 베이스와 오토커플러 트랜지스터 이미터 사이의 두 번째 저항은 오토커플러 누설 전류를 보상합니다. 이는 높은 온도에서 오토커플러 트랜지스터의 누설로 피드백 전류가 변조되지 않도록 하기 위해 오토커플러 게인이 A(80~160%)급 CTR로 제한되어야 하는 이유이기도 합니다.

전체 루프 게인을 올바르게 설정하기 위해 2차측에서 오토커플러 LED 직렬 저항(그림 31의 R16)을 높여야 합니다. 처음에는 표준 피드백 구조의 10배를 예상 값으로 한 다음 컨트롤 루프 보우드 선도(bode plot)에 따라 조정할 수 있습니다.

TLV431 및 TL431 2차측 레퍼런스 IC 사용 비교

고전압 출력 설계(>12V)에서, TL431에서 TLV431로 바꾸면 레퍼런스 IC에서 필요한 바이어스 전류를 줄여 무부하 소비를 감소시킬 수 있습니다. 올바른 작동을 위해 TL431에는 1mA의 공급 전류가 필요한 반면, TLV431은 100μA가 필요합니다. 이렇게 오토커플러 LED에 병렬로 연결된 저항으로부터 공급되는 공급 전류가 감소되면 출력 부하가 즉시 줄어들어 입력 전력도 마찬가지로 줄어듭니다.

TOPSwitch-JX를 사용하여 과전압 보호 기능 구현

바이어스 권선 출력을 이용하여 플라이백 토폴로지의 출력 전압 변화를 추적할 수 있습니다. 피드백 루프가 잘못되고 출력 전압이 상승하는 경우, 바이어스 권선의 전압도 상승하게 됩니다. 이는 출력 과전압 상태를 감지하는 데 사용할 수 있습니다(그림 20, 21).

정상 작동(또는 정상 작동 중 과도 부하 상태)중 바이어스 권선 출력의 최고 전압보다 크게(20~30%) 바이어스 권선 전압이 상승하면 제어 다이오드가 도통이 되도록 바이어스 권선 출력과 V 핀 사이에 연결된 직렬 저항과 함께 적절한 제너 다이오드를 선택할 수 있습니다. V 핀으로 주입되는 전류가 112μA를 넘으면 스위칭 사이클이 즉시 중단됩니다. 주입되는 전류가 100μA가 지나도 계속 112μA보다 높을 경우, 부품에 히스테리시스(Hysteresis)를 갖는 OV 셋다운이 발생합니다. 이 경우 오토 리스타트 사이클이 완료된 후 주입되는 전류가 히스테리시스(Hysteresis) 점 아래로 떨어지면 바로 스위칭이 다시 시작됩니다.

주입된 전류가 112μA를 초과하는 경우, V 핀이 이에 반응하여 V 핀 전압을 0.5V까지 낮춥니다. V 핀 전압 강하로 인해 V 핀 전류가 336μA보다 높게 상승하는 경우 부품은 래칭 셋다운 상태가 됩니다. 직렬 저항 R_{OVP} 값이 매우 작은 경우(5Ω~22Ω), 주입되는 전류가 112μA에 도달하고 이에 반응하여 V 핀 전압이 바뀌면 전류가 336μA보다 넘게 흘러 리셋해야 하는 상황인 래칭 과전압 상태가 발생합니다. 이 상태에서는 입력 AC가 작동하고 C 핀 커패시터가 방전되어 부품이 리셋되지 않는 한 작동이 다시 시작되지 않습니다. 대신 S 핀과 X 핀의 연결을 끊어 래칭이 리셋될 수도 있습니다. TOPSwitch-JX는 X 핀에서 나오는 전류가 27μA보다 낮은 경우, 이를 감지하여 스위칭을 중단하고 OVP 래칭을 리셋합니다.

이 특성은 그림 28에 나온 고속 AC 리셋 회로에서 사용됩니다. 그림에는 단일 BJT를 사용하는 간단한 내부 래칭 리셋 회로가 나와 있습니다. 커패시터 C1의 전압은 입력 커패시터보다 훨씬 빠르게 낮아므로 AC가 작동될 때 래칭을 빠르게 리셋할 수 있습니다.

일부 설계에서는 바이어스 권선에서 연결된 제너 다이오드가 V 핀으로 주입되는 노이즈의 원인이 됩니다. 이는 바이어스 권선 출력 리플이 높거나 회로 기판 레이아웃으로 인해 인접한 회로들의 노이즈가 제너 다이오드와 V 핀을 연결하는 패드에서 커플링되는 경우에 발생합니다. 이러한 경우의 해결 방법이 그림 21에 나와 있습니다.

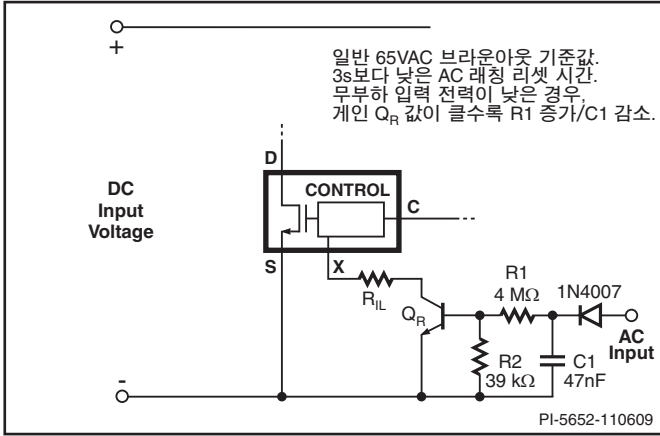


그림 28. 외부에서 설정된 전류제한, 빠른 AC 래칭 리셋 및 브라운아웃

OPP(과전력 보호) 구현

1차측 센싱 과전력 보호는 바이어스 권선의 전압을 감지하여 V 핀을 통해 구현할 수 있습니다. 그림 22에 이러한 구조가 나와 있습니다. 제너 다이오드 VR_{OPP} 는 출력 OVP(과전압 보호) 기능을 제공하며 VR_{OPP} 는 R_p 와 C_p 와 함께 과전력 보호 기능을 제공합니다. 이 방식은 요구되는 OPP가 풀 부하 출력 전력에 비하여 >150%인 경우에 효과적입니다.

OPP 기능은 2차측과 바이어스 권선 사이의 불완전한 커플링에 의해 좌우됩니다. 출력 부하가 증가하면서 누설 인덕턴스의 영향으로 바이어스 권선 전압이 상승합니다. 바이어스 전압이 정격 전압 VR_{OPP} 를 넘게 되면 전류가 V 핀으로 흘러 디바이스가 스위칭을 중단합니다. R_{OPP} 값이 5.1kΩ인 경우 비래칭 섯다운이 발생하고 값이 <22Ω이면 래칭 섯다운이 발생합니다. 과도 부하 및 스타트 업 시, 거짓 트리거를 방지하기 위해 R_p 와 C_p 는 권선 시간인 약 2ms 또는 피크 부하 상태 지속 시간보다 길게 지연을 발생시킵니다.

VR_{OPP} 전압은 스타트 업 시와 과도 부하에서 OVP의 거짓 트리거가 발생하지 않도록 VR_{OPP} 보다 높아야 합니다.

정확한 OCP(과전류 보호) 구현

OPP(과전력 보호)도 (다소 약한) 과전류 보호 형태로 사용할 수 있습니다. 그러나 정확한 OCP(과전류 보호) 기능을 구현해야 할 경우, 회로에 따라 별도의 옴토퍼를 사용하여 OCP 기준값을 감지하고 V 핀을 통해 스위칭 디바이스를 턴 오프할 수 있습니다.

그림 30에는 정확한 과전류 보호 회로가 구현되어 있습니다. 부하 전류는 전류 센싱 저항 R_{SENSE} 에서의 전압 강하를 측정하여 모니터링됩니다. 셉트 레귤레이터 IC U1은 R2와 R3에 의해 형성된 저항 분배기 네트워크와 함께 op-amp U2의 반전 입력에서 전압 레퍼런스(0.03V)를 정확하게 생성하는 데 사용됩니다. 이러한 저전압 센싱 기준값을 통해 작은 전류 센싱 저항을 사용할 수 있습니다. 저항 R6과 C1은 주파수 보상 기능을 제공합니다. 이 예에서 과전류 기준값이 5A로 설정되도록 R_{SENSE} 값이 선택되어 있습니다. 이렇게 프로그래밍된 전류에서 R_{SENSE} 의 전압이 레퍼런스 전압(0.03V)을 넘게 되어 op-amp 출력이 상승하게 됩니다. 이로써 옴토퍼러안의 다이오드를 바이어스시켜 상태를 V 핀을 통해 섯다운을 일으키게 합니다. R_{OPP} 값은 래칭 또는 비래칭 섯다운을 의미하며, 5.1kΩ는 비래칭 섯다운을, <22Ω일 경우에는 래칭 섯다운을 발생시킵니다. 과전류 제한 사양이 광범위한 경우, U2 대신 소신호 다이오드를 전압 레퍼런스로 사용할 수 있습니다.

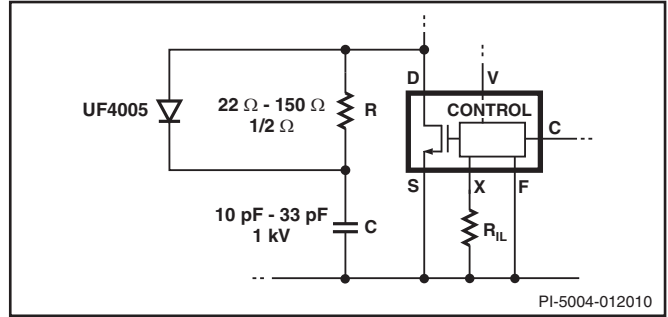


그림 29. TOP269-271을 사용하는 고전력 설계의 권장 RCD 회로

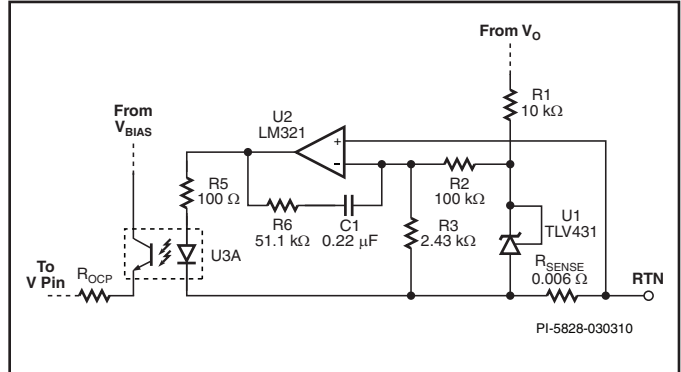


그림 30. 정확한 과전류 보호 회로 구현

TOPSwitch-JX를 사용한 고전력 파워 서플라이 설계

플라이백 토폴로지를 사용하는 고전력 파워 서플라이 설계에서는 다음과 같은 사항을 추가로 고려해야 합니다.

1. 트랜스포머의 와이어 손실이 상당할 수 있으며 따라서 다중선 구성 시, 고전력 플라이백 트랜스포머를 설계에 권선 구조 및 전선 가닥 수의 선택이 중요한 요소입니다. 고주파수 트랜스포머의 전선 크기는 스위칭 주파수에 따라 선택합니다. 표피 두께는 스위칭 주파수에 비례하며 각 도체의 유효 단면적을 제한합니다. 고주파수 트랜스포머에서 유도 손실을 줄이기 위해 다중 가닥(선)의 권선 및 리저선이 널리 사용됩니다. 표피 효과를 더 많이 줄이려면 특히 저전압 고전류(6A보다 높음) 출력의 경우, 호일 권선을 사용하는 것이 좋습니다.
2. 트랜스포머 및 PCB 패턴의 누설 인덕턴스가 약간 증가해도 스너버 회로에 손실이 크게 증가할 수 있습니다. 누설 인덕턴스를 줄이려면 트랜스포머에 샌드위치 권선 구조를 사용하고 PCB 패턴 길이, 특히 2차 권선, 출력 다이오드 및 출력 커패시터로 구성된 루프를 최소화하는 것이 중요합니다. 스너버 회로 설계는 고효율을 얻는 데 있어 중요합니다. 일반적으로 높은 전력에서 올바른 크기의 RCDZ 클램프를 사용하면 드레인 소스 전압이 680V를 넘지 않습니다.
3. 고출력 전류에서 2차 리플 전류가 증가하고 ESR이 매우 낮은 하나의 출력 커패시터의 정격 값을 초과할 수도 있습니다. 따라서 여러 커패시터를 병렬로 사용하는 것이 일반적입니다. 이 경우 리플 전류가 고르게 배분되기 위해 모든 커패시터에 패턴 길이를 같게 하도록 각별히 주의해야 합니다. 이렇게 하면 손실 및 온도가 동일하게 상승하여 적절한 작동 수명이 보장됩니다. 다수의 커패시터에서도 스위칭 주파수 리플을 줄이기 위해 2차측 LC 필터가 필요합니다.
4. 큰 스위칭 전류 및 전압은 방사 EMI의 원인이 될 수 있으므로 이러한 전류 및 전압을 전송하는 PCB 패턴 길이 및 루프 영역을 최소화하십시오.

TOPSwitch-JX, 특히 TOP269 – TOP271을 사용하는 고전력 설계의 경우, 드레인과 소스 단자 사이에 배치된 소형 RC(또는 RCD) 네트워크의 PCB 기판에 전력을 공급하는 것이 좋습니다 (그림29). 이렇게 하면 해당 파워 서플라이가 작동하면서 발생하는 스위칭 노이즈가 줄어 들고, 방사 EMI도 감소됩니다. $22\Omega\sim 150\Omega$ 의 저항과 $10\text{pF}\sim 33\text{pF}$ 의 1kV 정격 세라믹 커패시터가 대부분의 애플리케이션에 적합합니다.

다이오드를 추가하면 스너버의 전력 손실이 최대 2까지 줄어듭니다.

빠른 디자인 확인 목록

어떤 파워 서플라이와 마찬가지로 TOPSwitch-JX 설계 시 가장 약조건에서 부품 사양을 벗어나지 않는지를 확인해야 합니다. 다음에 있는 최소한의 항목은 반드시 실시할 것을 권장합니다.

1. 최대 드레인 전압 – 최대 입력 전압 및 최대 과부하 출력 전압 시 피크 V_{DS} 가 680V 를 초과하지 않는지 확인합니다. 파워 서플라이가 오토 리스타트(레귤레이션을 벗어났을 때)로 진입하기 직전에 출력이 과부하 상태가 되고 이때가 최대 과부하 출력 상태입니다.
2. 최대 드레인 전류 – 최대 동작 온도, 최대 입력 전압 및 최대 출력 부하 상태에서 스타트 업할 때의 드레인 전류 파형이 트랜스포머 포화될 징후가 있는지, 과도한 리딩 엡지 전류 스파이크의 징후가 보이는지 확인합니다. TOPSwitch-JX는 최소 리딩 엡지 블랭킹 시간이 180ns 이므로 온 사이클 (ON-cycle)의 조기 종료되지 않도록 합니다. 180ns 최소 블랭킹 시간이 끝나는 지점에서 드레인 전류 파형의 리딩 엡지 전류 스파이크가 전류 제한 엔벨로프 허용치 미만인지 확인합니다.
3. 온도 확인 – 최대 출력 전력, 최소 입력 전압과 최대 주위 온도 상태에서 TOPSwitch-JX, 트랜스포머, 출력 다이오드 및 출력 커패시터의 온도가 지정된 온도 스펙 이하인지 확인합니다. 데이터 시트에 규정되어 있듯이 TOPSwitch-JX의 $R_{DS(ON)}$ 이 제품마다 오차가 있기 때문에 온도 마진이 충분히 확보되어야 합니다. V 패키지의 최대 SOURCE 핀 온도 또는 E 패키지의 탭 온도로는 110°C 가 적합합니다. 설계 마진은 외부 저항을 연결함으로써 확인할 수 있습니다. 이 외부 저항은 DRAIN핀과 직렬로 연결되어 있고 동일한 히트싱크에 연결되어 있어야 합니다. 그리고 저항의 값은 테스트에서 측정된 $R_{DS(ON)}$ 와 최악의 조건인 최대 사양과의 차이와 같은 값으로 합니다.

부록 A

애플리케이션 예

낮은 무부하 소비 전력, 고효율, 65W, 유니버설 입력 어댑터용 파워 서플라이

그림 31에 표시된 회로는 밀폐형 어댑터 형태로 작동하도록 설계된 90VAC ~ 265VAC 입력, 19V, 3.42A 출력의 파워 서플라이입니다. 이 설계는 최대 부하 시 높은 효율성, 최상의 평균 효율성(25%, 50%, 75%, 100% 부하점의 평균) 및 무부하 시 매우 낮은 소비 전력을 목표로 설계되었습니다. 추가적으로 래칭 출력 과전압 섀다운 기능과 안전 기관 LPS(제한 전원) 제한값 준수도 포함됩니다. 측정된 효율과 무부하 시의 성능은 회로도에 표시된 표에 요약되어 있습니다. 이러한 성능으로 전류 에너지 효율성 요구 사항을 용이하게 만족시킵니다.

상기 설계 목표를 달성하기 위해 다음과 같은 주요 설계 사항이 요구됩니다.

PI 부품 선택

- 전력 공급의 높은 효율성을 위해 필요한 용량보다 큰 디바이스 선택

TOPSwitch-JX의 전류제한 프로그래밍 기능을 통해 필요한 것보다 큰 디바이스를 선택할 수 있습니다. 이를 통해 과부하 전력과 트랜스포머 등의 부품은 기존에 사용했던 작은 사이즈를 유지하면서도 MOSFET의 전도성 손실($I_{RMS}^2 \times R_{DS(ON)}$)을 줄여 최대 부하 및 저전압시의 효율성을 더 높일 수 있습니다.

이 설계를 위해 전력표에서 권장한 것처럼 전력 공급에 필요한 것보다 한 그레이드 큰 디바이스가 선택되었습니다. 이러한 선택은 일반적으로 최고의 효율성을 제공합니다. 디바이스 크기를 더 늘려도 효율은 동일하거나 더 떨어집니다. 이는 MOSFET이 커질수록 이와 관련된 스위칭 손실도 커지기 때문입니다.

입력 센싱 저항 값

- 입력 센싱 저항을 4MΩ에서 10.2MΩ으로 늘려 무부하 시 입력 전력 손실을 16mW로 감소

입력 센싱은 저항 R3 및 R4로부터 제공받으며 입력 저전압 및 과전압 기준값을 설정합니다. 이러한 저항을 합한 값이 표준 4MΩ에서 10.2MΩ으로 증가되었습니다. 이로 인해 저항 손실이 감소하므로 무부하 입력 전력이 ~26mW부터 ~10mW까지 감소됩니다. 그 결과로 인한 UV(턴온) 기준값의 변화를 보상하기 위해 CONTROL 핀과 VOLTAGE-MONITOR 핀 사이에 저항 R20이 추가되었습니다. 이를 통해서 ~16μA의 DC 전류가 V 핀에 추가되고 9μA만 R3 및 R4를 통해 공급하면 95VDC시 V 핀 UV(턴온) 임계 전류 25μA에 도달하도록 설정됩니다.

결과 OV 기준값이 ~450VDC에서 ~980VDC까지 상승할 때 이 기술은 입력 OV 기능을 효과적으로 제한합니다. 그러나 이 설계에서는 피크 드레인 전압이 U1의 정격 BV_{DSS} 에 도달하지 않아도 입력 커패시턴스(C2)의 값이 2 kV가 넘는 디퍼렌셜 라인 서지를 충분히 견딜 수 있으므로 별다른 영향이 없습니다.

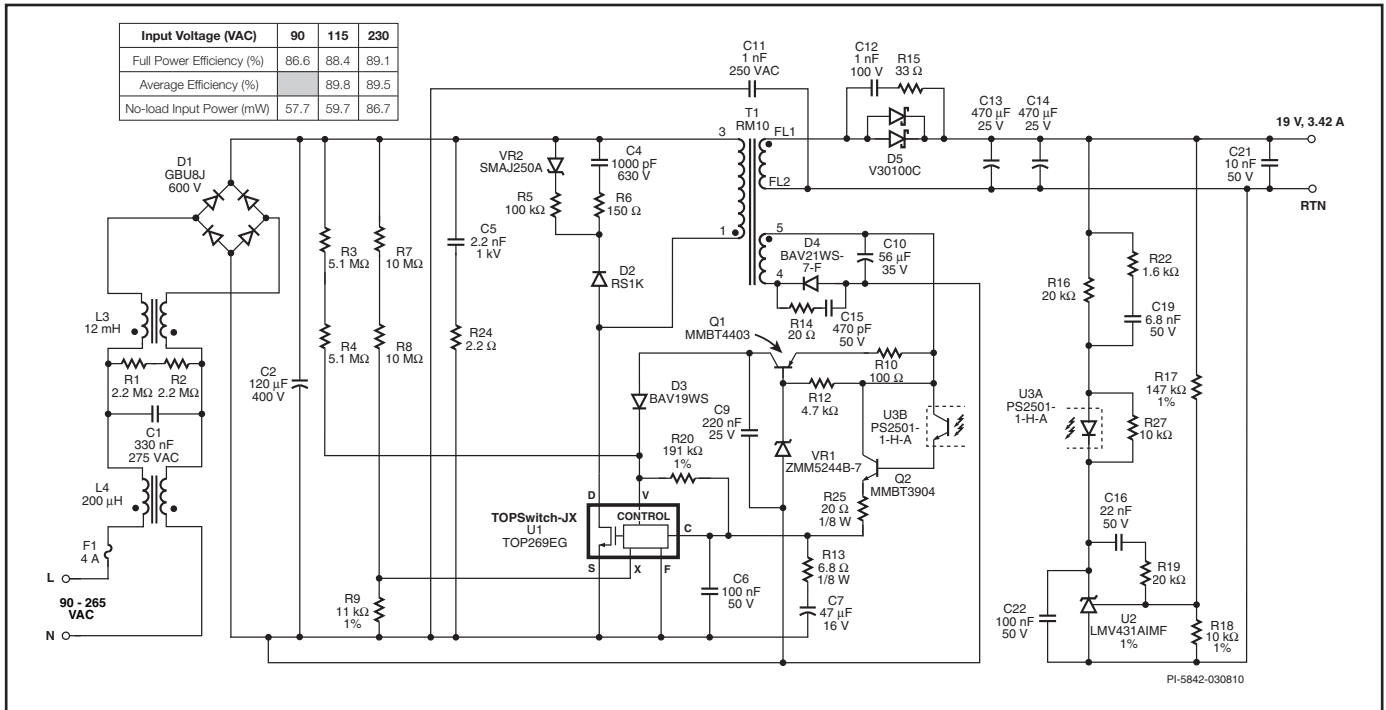


그림 31. 무부하 시 전력 소비가 낮은 고효율 19V, 65W, 유니버설 입력 플라이백 파워 서플라이의 회로도

클램프 구성 - RZCD와 RCD 비교

- 더 높은 저부하 효율성 및 더 낮은 무부하 소비 전력을 제공하기 위해 RCD 클램프 대신 RZCD(제너 블리드) 선택

클램프 네트워크는 VR2, C4, R5, R6, D2로 구성됩니다. 이 네트워크는 누설 인덕턴스로 인해 발생하는 피크 드레인 전압 스파이크를 TOPSwitch-JX 내부 MOSFET의 정격 V_{DS} 아래로 제한합니다. 저부하 효율 및 무부하 입력 전력을 향상시키기 위해 표준 RCD 클램프가 아닌 이 배열을 선택했습니다.

표준 RCD 클램프에서 C4는 저항과 직렬로 연결된 제너가 아니라 병렬로 연결된 저항에 의해 방전됩니다. RCD 클램프에서는 저항 값이 선택되어 최대부하 및 과부하 상태의 피크 드레인 전압을 제한합니다. 그러나 저부하 또는 무부하 상태에서는 누설 인덕턴스 에너지와 스위칭 주파수가 모두 한층 더 낮으므로 이 저항 값은 커패시터 전압을 방전시킵니다. 커패시터는 각 스위칭 사이클에서 반과 출력 전압보다 높게 재충전해야 하므로 더 낮은 커패시터 전압은 낭비되는 에너지를 나타냅니다. 이것은 마치 파워 서플라이의 출력에 연결된 것처럼 클램프 손실을 큰 부하로 보이게 만드는 효과가 있습니다.

RZCD 배열은 커패시터 전체 전압이 최소값(VR2의 정격 전압으로 정의된 값) 아래로 방전되지 않도록 방지하여 저부하 및 무부하 상태에서 클램프 손실을 최소화하는 방법으로 이 문제를 해결합니다.

저항 R6 및 R28은 EMI를 줄이기 위해 고주파수 링잉의 댐핑을 제공합니다. VR2와 직렬로 연결된 저항을 이용하여 피크 전류를 제한하면 SMD 버전을 사용할 수 있도록 TVS 유형을 선택했더라도 TVS 유형보다 표준 전력 제너를 사용하여 비용을 절감할 수 있습니다. 역 회복 시간이 500ns로 더 길기 때문에 일반적인 정격 600V가 아닌 800V를 사용하도록 다이오드 D2가 선택되었습니다. 따라서 다이오드의 역 회복 시간 동안 클램프 에너지 중 일부를 복구할 수 있으므로 효율성이 향상됩니다. SMD 부품이 사용되었으므로 손실을 분산시킬 수 있도록 여러 개의 저항을 병렬로 사용하였습니다.

피드백 구성

- 달링턴 접속 - 옴토키퍼러 트랜지스터와 함께 구성되어 2차측 피드백 전류를 줄이므로 무부하시 입력 전력도 줄어듭니다.
- 저전압, 저전류 전압 레퍼런스 IC - 2차측에 사용되어 2차측 피드백 전류를 줄이므로 무부하시 입력 전력도 줄어듭니다.
- 바이어스 권선 전압 - ~9V로 조정되면 무부하, 고입력 전압에서 바이어스 권선 전압이 무부하 입력 전력을 줄입니다.

일반적으로 고입력 전압에서 CONTROL 핀으로 유입되는 피드백 전류는 ~3mA입니다. 이 전류는 바이어스 권선(C10을 통과하는 전압)에서 공급되기도 하고 출력에서 직접 공급되기도 합니다. 이러한 두 전력 소스는 모두 파워 서플라이 출력의 부하를 나타냅니다. 무부하 상태의 바이어스 권선에서 손실을 최소화하기 위해 C10 전체에 최소 전압인 ~9V를 공급하도록 바이어스 권선의 권회 수와 C10의 값을 조정했습니다. 이 값은 옴토키퍼러를 바이어스 상태로 유지하는 데 필요한 최소값입니다. 2차측 피드백 회로의 손실을 최소화하기 위해 Q2를 추가하여 U3B와의 달링턴 형태를 구성했습니다. 이를 통해 2차측의 피드백 전류가 ~1mA로 줄었습니다. 트랜지스터의 h_{FE} 로 인해 증가된 루프 게인은 R16 값을 늘리고 R25 값을 추가하여 보정했습니다. 표준 2.5V TL431 전압 레퍼런스는 1.24V LMV431로 교체되어 공급 전류 요구 사항이 1mA에서 100 μ A로 줄어 들었습니다.

출력 정류기 선택

- 출력 정류기에 대해 더 높은 정격 전류, 낮은 V_F 의 쇼트키 정류 다이오드 선택

D5는 5A에서 V_F 값이 0.455V인 듀얼 15A, 100V 쇼트키 정류 다이오드가 선택되었습니다. 이는 저항성 순방향 전압 손실을 줄여 최대 부하의 효율성과 평균 효율을 모두 향상시키는 데에 필요한 것보다 더 높은 정격 전류입니다. 100V 쇼트키는 트랜스포머 1차와 2차 간의 높은 권선비($V_{OR} = 110V$) 때문에 사용할 수 있었습니다. 그리고 이 권선비는 TOPSwitch-JX 내부 MOSFET의 높은 정격 전압으로 인해 가능했습니다.

증가된 출력 과전압 섀다운 감도

- 출력 과전압 섀다운 감도를 향상시키기 위해 트랜지스터 Q1 및 VR1 추가

오픈 루프 조건에서는 출력이 상승하고 그에 따라 바이어스 권선 전압도 상승합니다. 이 전압이 VR1의 전압과 V_{BE} 전압 강하를 더한 값을 초과하면 Q1이 켜지고 V 핀으로 전류가 공급됩니다. Q1을 추가시켜 출력 전압 오버슈트가 상대적으로 감소하여 저입력 상태에서 최대 부하로 동작하는 동안에도 V핀으로 흐르는 전류가 래칭 섀다운 기준값을 초과하도록 보장합니다.

X핀과 R7, R8 및 R9의 전류제한 프로그래밍 기능을 통해 출력 과부하 전력 제한이 제공됩니다. 저항 R8 및 R9는 대체로 일정한 과부하 전력 특성을 제공하기 위해 입력 전압을 상승시키는 기능인 디바이스 전류제한을 LPS(제한 전원) 요구 사항인 100VA 아래로 줄입니다. 단일 고장 조건(예: R8의 오픈 시)에서도 이 요구 사항을 충족하기 위해 과부하 상태에서 발생하는 바이어스 전압의 상승도 래칭 섀다운을 트리거하는 데 사용됩니다.

매우 낮은 무부하 소비 전력, 고효율, 30W, 유니버설 입력, 오픈 프레임, 파워 서플라이

아래의 그림 32에 표시된 회로는 85VAC ~ 265VAC 입력, 12V, 2.5A 출력 파워 서플라이를 나타냅니다. 이 설계는 최대 부하시 높은 효율성, 최상의 평균 효율성(25%, 50%, 75%, 100% 부하점의 평균) 및 무부하시 매우 낮은 소비 전력을 목표로 설계되었습니다. 추가적으로 래칭 출력 과전압 섀다운 및 안전 기관 LPS(제한 전원) 제한값 준수도 포함됩니다. 측정된 효율 및 무부하시의 성능은 회로도에도 표시된 표에 요약되어 있습니다. 이 성능은 전류 에너지 효율 요구 사항을 용이하게 만족시킵니다.

상기 설계 목표를 달성하기 위해 다음과 같은 주요 설계 사항이 요구됩니다.

PI 부품 선택

- 주위 온도가 40°C이면 전력표에 지시된 것보다 한 단계 작은 디바이스를 사용 가능

이 디바이스는 전력표 (표 1)의 85-265VAC, 오픈 프레임, PCB 히트싱크에 따라 선택했습니다. 주위 온도가 40°C (전력표에는 50°C로 가정) 이고 디바이스 히트싱크를 위해 최적의 PCB 면적 및 레이아웃 때문에 한 단계 작은 디바이스를 선택했습니다 (TOP266V와 TOP267V 비교). 써멀 및 효율성 데이터로 성능을 확인할 수 있습니다. 풀 부하, 40°C, 85VAC, 47Hz(최악 조건)에서 디바이스의 최대 온도는 107°C 이고 평균 효율은 ENERGY STAR 및 EuP Tier2에서 요구하는 83%를 만족시킵니다.

트랜스포머 코어 선택

- 132kHz 스위칭 주파수 사용으로 더 작은 코어를 사용할 수 있게 되어 비용 절감 가능

마그네틱 코어의 크기는 스위칭 주파수의 함수입니다. 높은 스위칭 주파수인 132kHz를 사용하면 더 작은 코어를 사용할 수 있습니다. TOPSwitch-JX의 설계에서는 스위칭 주파수가 높아지더라도 나쁜 영향을 끼치지 않습니다. TOPSwitch-JX의 드레인 소스간 커패시터 (C_{OSS})가 디스크리트 MOSFETs의 C_{OSS} 보다 작기 때문입니다.

입력 센싱 저항 값

- 입력 센싱 저항을 4MΩ에서 10.2MΩ으로 늘려 무부하시 입력 전력 손실이 16mW로 감소

입력 센싱은 저항 R1 및 R2에서 제공하며 입력 저전압 및 과전압 기준값을 설정합니다. 이러한 저항을 합한 값이 표준 4MΩ에서 10.2MΩ으로 증가되었습니다. 이로 인해 저항이 감소하므로 무부하 입력 전력을 26mW에서 10mW까지 감소시킵니다. 그 결과로 인한 UV 기준값의 변화를 보정하기 위해 CONTROL 핀과 VOLTAGE-MONITOR 핀 사이에 저항 R12이 추가하였습니다. 그러면 ~16μA와 동일한 DC 전류가 V 핀에 추가되어 ~9μA만 R1 및 R2를 통해 공급하면 V 핀 UV 임계 전류값인 ~25μA에 도달하고 UV 기준값이 약 95VDC로 설정됩니다.

이 테크닉은 입력 OV 기능을 효과적으로 비활성화시키지 못하여 결과적으로 OV 기준값이 ~450VDC에서 ~980VDC까지 상승하게 됩니다. 그러나 이 디자인에는 영향을 주지 않습니다. 입력 커패시터 (C3)의 값이 충분히 커서 1 kV보다 큰 라인 서지 전압에도 피크 드레인 전압이 U1의 정격 BV_{DSS}에 도달하지 않기 때문입니다.

클램프 구성 - RZCD와 RCD 비교

- 경부하시 효율을 높이고 무부하시 소비 전력을 줄이기 위해 RCD 대신 RZCD(제너 블리드) 선택

클램프 네트워크는 VR1, C4, R5 및 D5로 구성됩니다. 이 네트워크는 누설 인덕턴스로 인해 발생하는 피크 드레인 전압 스파이크를 TOPSwitch-JX 내부 MOSFET의 정격 BV_{DSS} 아래로 제한합니다. 경부하시 효율을 높이고 무부하시 소비 전력을 향상시키기 위해 표준 RCD 클램프가 아닌 이 구성을 선택했습니다.

표준 RCD 클램프에서 C4는 저항과 직렬로 연결된 제너가 아니라 병렬 저항에 의해 방전됩니다. RCD 클램프에서는 R5의 저항 값이 선택되어 풀 부하 및 과부하 상태 하의 피크 드레인 전압을 제한합니다. 그러나 경부하 또는 무부하 상태에서는 누설 인덕턴스에너지와 스위칭 주파수가 모두 더 낮아지기 때문에 이 저항 값은 이제 커패시터 전압을 크게 방전시킵니다. 커패시터는 각 스위칭 사이클에서 반사 출력 전압보다 높게 재충전해야 하므로 더 낮은 커패시터 전압은 낭비되는 에너지를 나타냅니다. 이것은 마치 파워 서플라이의 출력에 연결된 것처럼 클램프 손실을 큰 부하로 보이게 만드는 효과가 있습니다.

RZCD 배열은 커패시터 전체 전압이 최소값(VR1의 정격 전압으로 정의된 값) 아래로 방전되지 않도록 방지하여 경부하 및 무부하 상태에서 클램프 손실을 최소화하는 방법으로 이 문제를 해결합니다. 제너 VR1은 높은 피크 손실 용량이 높은 TVS이지만 피크 전류가 낮기 때문에 저렴한 표준 제너도 사용할 수 있습니다.

많은 설계에서 50Ω 미만의 저항 값을 C4와 직렬로 연결하여 고주파 링잉을 댐핑하고 EMI를 향상시키기 위해 사용할 수도 있지만, 이 경우에는 그럴 필요가 없습니다.

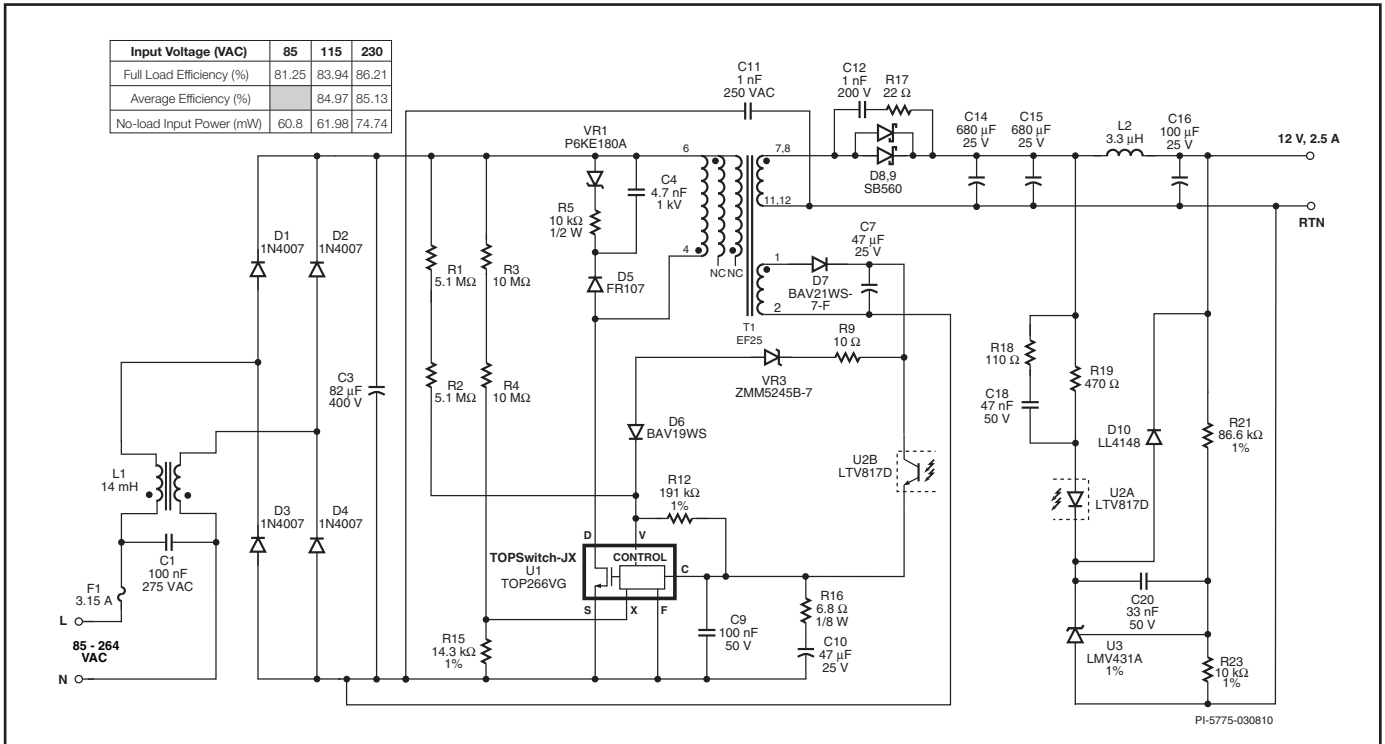


그림 32. 무부하시 전력 소비가 매우 낮은 고효율 12V, 30W, 유니버설 입력 플라이백 파워 서플라이의 회로도

피드백 구성

- 높은 CTR 옵토커플러를 사용하여 2차측 바이어스 전류와 무부하 소비 전력을 감소
- 저전압, 저전류 전압 레퍼런스 IC를 2차측에 사용하여 2차 피드백 전류와 무부하 입력 전력을 감소
- 무부하, 높은 입력 전압에서 바이어스 권선 전압을 ~9V로 조절하여 무부하 소비 전력을 감소

일반적으로 높은 입력 전압에서 CONTROL 핀으로 유입되는 전류는 ~3mA입니다. 이 전류는 바이어스 권선(C10의 양단 전압)에서 공급되기도 하고 출력에서 직접 공급되기도 합니다. 이러한 두 파워 소스는 모두 파워 서플라이 출력 부하를 나타냅니다.

무부하 상태에서 바이어스 권선의 손실을 최소화하기 위해서는 C7 양단의 전압이 ~9V가 되도록 바이어스 권선의 턴수와 C7의 값을 조정해야 합니다. 이 값은 옵토커플러를 바이어스 상태로 유지하고 출력을 레귤레이션 상태로 유지하는 데 필요한 최소값입니다.

2차측 피드백 회로의 손실을 최소화하기 위해 높은 CTR(300 – 600%의 CTR)을 사용했습니다. 이는 2차측 옴토 LED 전류를 3mA에서 1mA 미만으로 줄이고, 그에 따라 출력의 유효 부하가 감소하는 효과가 있습니다. 표준 2.5V TL431 전압 레퍼런스 IC를 1.24V LMV431로 변경하여 공급 전류를 1mA에서 100 μ A로 감소시킬 수 있습니다.

출력 정류기 선택

- 높은 V_{OR} 사용으로 60V 쇼트키 다이오드를 사용할 수 있어 효율을 높일 수 있고 비용도 줄일 수 있음

TOPSwitch-JX의 높아진 BV_{DSS} 정격 725V(일반적인 파워 MOSFET의 정격 600V 또는 650V와 비교했을 때)로 인해 트랜스포머 1차와 2차 간의 권선비(반사 출력 전압 또는 V_{OR})를 더 높일 수 있습니다. 이는 출력 다이오드의 전압 스트레스를 감소시키고 더 효율적이고 저렴한 60V 쇼트키 다이오드(80V 또는 100V 쇼트키 다이오드에 비해)를 사용할 수 있도록 합니다. 더 전압 정격이 낮을수록 순방향 전압 강하가 낮기 때문에 효율이 향상됩니다. 저렴하면서도 높은 효율을 위해 Axial 타입의 5A, 60V 쇼트키 다이오드 2개를 병렬로 사용하였습니다. 따라서 히트싱크를 장착한 단일 고전류 TO-220 패키지 다이오드와 비교했을 때 다이오드의 방열을 PCB로 하여 더 저렴하면서도 높은 효율을 유지할 수 있습니다. 이 때 각각의 다이오드의 정격 전류는 출력 전류의 두 배로 지정하며 다이오드들이 히트싱크용 커먼 캐소드 PCB 면적을 공유하도록 하는 것을 권장합니다. 그리고 각 다이오드의 온도를 모니터링함으로써 실제 다이오드 전류가 효과적으로 공유되고 있는 것을 확인할 수 있습니다.

출력 인덕터 포스트 필터(Post Filter) 소프트 피니쉬(Soft Finish)

- 인덕터 L2는 출력 소프트 피니쉬를 제공하고 커패시터를 제거시킬 수 있음

스타트업 하는 동안 출력 오버슈트를 방지하기 위해 L2 전체에 나타나는 전압을 사용하여 소프트 피니쉬 기능을 제공합니다. L2 양단 전압이 U2A와 D10의 순방향 전압 강하를 초과하면 전류가 옵토커플러 LED를 통해 흐르고 1차에 피드백을 제공합니다. 이 구성은 레귤레이션에 도달할 때까지 출력 전압의 상승률을 제한하고, U3 양단에 같은 기능을 구현하기 위해 일반적으로 사용하는 커패시터를 제거시킬 수 있습니다.

부록 B

다중 출력 플라이백 파워 서플라이 설계

총 출력 파워가 같은 다중 출력 플라이백 파워 서플라이와 단일 출력 플라이백 파워 서플라이의 유일한 다른 점은 2차측 설계에 있습니다.

묶음 출력 전류 설계

AN-22, "TOPSwitch를 사용한 다중 출력 플라이백 파워 서플라이 설계" 에 간단한 다중 출력 플라이백 설계가 설명되어 있습니다. 이 설계 방식은 모든 출력을 동등한 하나의 출력으로 묶은 단일 출력으로 시작하여 2차측 피크 전류 I_{SP} 와 RMS 전류 I_{SRMS} 를 유도해 냅니다. 하나의 출력으로 묶은 파워에 대응되는 평균 출력 전류 I_o 또한 계산할 수 있습니다.

단순화시키기 위한 가정

각각의 출력 권선에서의 전류 파형은 각 회로의 임피던스에 의해 정해집니다. 이 임피던스는 누설 인덕턴스, 다이오드 특성, 커패시터 값 그리고 출력 부하에 의해 결정되는 함수입니다. 전류 파형이 정확하게 같지 않더라도 모든 출력 전류의 형태가 동등한 파워를 가진 단일 출력의 전류 형태와 똑같다고 가정할 수 있습니다.

출력 RMS 전류와 평균 전류 비교

평균 출력 전류는 항상 DC 부하 전류와 같은 반면에, RMS 값은 전류 파형에 형태에 따라 결정됩니다. 모든 출력의 전류 파형 형태가 똑같다고 가정하였기 때문에 RMS 대 평균 전류 비율 또한 같아야 합니다. 따라서 평균 출력 전류를 알고 있다면, 각 출력 권선의 RMS 전류를 다음과 같이 계산할 수 있습니다.

$$I_{SRMS}(n) = I_o(n) \times \frac{I_{SRMS}}{I_o}$$

여기서 $I_{SRMS}(n)$ 와 $I_o(n)$ 는 n번째 출력의 2차측 RMS 전류와 평균 출력 전류이고, I_{SRMS} 와 I_o 는 동등한 하나의 단일 출력으로 묶은 2차측 RMS 전류 및 평균 출력 전류입니다.

각 출력의 2차측 설계 사용자화

각 2차측 권선의 턴 수는 각각의 출력 전압 $V_{O(n)}$ 를 토대로 계산됩니다.

$$N_s(n) = N_s \times \frac{V_o(n) + V_D(n)}{V + V_D}$$

출력 다이오드 최대 역 전압은 다음과 같습니다.

$$PIV_{S(n)} = V_{MAX} \times \frac{N_s(n)}{N_p} + V_o(n)$$

출력 RMS 전류 $I_{SRMS}(n)$, 2차측 턴 수 $N_{S(n)}$, 출력 다이오드 최대 역 전압 $PIV_{S(n)}$ 을 알고 있으면, 단일 출력을 설계할 때와 동일한 방법으로 각 출력의 2차측을 설계할 수 있습니다.

2차 권선 전선 크기

TOPSwitch-JX 설계 스프레드시트는 2차측 권선 와이어의 지름을 계산할 때 CMA를 200으로 가정합니다. 이렇게 하면 별도의 권선을 사용하는 각 출력의 RMS 전류에 필요한 최소 와이어 선경을 알 수 있습니다. 설계자는 더 큰 와이어를 사용하여 더 좋은 온도 성능을 원할 수도 있습니다. 표피 효과, 보빈 권선폭과 같은 기타 사항을 고려해볼 때 이 보다 작은 선경 여러가닥을 병렬로 사용하는 것을 권장합니다. 또한 트랜스포머를 실제로 제조할 때 고려해야 할 사항들이 와이어 선경 크기에 영향을 줄 수도 있습니다.

개정	참고	날짜
A	최초 출시	03/10

최신 업데이트에 대한 자세한 내용은 당사 웹사이트를 참조하십시오. www.powerint.com

Power Integrations는 안정성 또는 생산성 향상을 위하여 언제든지 당사 제품을 변경할 수 있는 권한이 있습니다. Power Integrations는 여기서 설명하는 장치나 회로 사용으로 인해 발생하는 어떠한 책임도 지지 않습니다. POWER INTEGRATIONS는 어떠한 보증도 제공하지 않으며 모든 보증(상품성에 대한 묵시적 보증, 특정 목적에의 적합성 및 타사 권리의 비침해를 포함하되 이에 제한되지 않음)을 명백하게 부인합니다.

특허 정보

여기에 설명한 제품 및 애플리케이션(제품 외부 트랜스포머 구성 및 회로 포함)은 하나 이상의 미국 및 해외 특허를 포함하거나 또는 Power Integrations에서 출원 중인 미국 및 해외 특허를 포함할 수 있습니다. Power Integrations의 전체 특허 목록은 www.powerint.com에서 확인할 수 있습니다. Power Integrations는 고객에게 <http://www.powerint.com/ip.htm>에 명시된 특정 특허권에 따른 라이선스를 부여합니다.

수명 유지 장치 사용 정책

POWER INTEGRATIONS의 제품은 POWER INTEGRATIONS 사장의 명백한 문서상의 허가가 없는 한 수명 유지 장치 또는 시스템의 핵심 부품으로 사용할 수 없습니다. 다음과 같이 사용되는 경우:

1. 수명 유지 장치 또는 시스템이란 (i)신체에 외과적 이식을 목적으로 하거나, (ii)수명 지원 또는 유지 및 (iii) 사용 지침에 따라 올바르게 사용하는 경우에도 동작의 실패가 사용자의 상당한 부상 또는 사망을 초래할 수 있는 장치 또는 시스템입니다.
2. 핵심 부품이란 부품의 동작 실패가 수명 유지 장치 또는 시스템의 동작 실패를 초래하거나, 해당 장치 또는 시스템의 안전성 및 효율성에 영향을 줄 수 있는 수명 유지 장치 또는 시스템에 사용되는 모든 부품입니다.

PI 로고, TOPSwitch, TinySwitch, LinkSwitch, DPA-Switch, PeakSwitch, EcoSmart, Clampless, E-Shield, Filterfuse, StakFET, PI Expert 및 PI FACTS는 Power Integrations, Inc의 상표입니다. 다른 상표는 각 회사 고유의 자산입니다.

© 2010, Power Integrations, Inc.

Power Integrations 전 세계 세일즈 지원 사무소

세계 본사

5245 Hellyer Avenue
San Jose, CA 95138, USA.
본사 전화: +1-408-414-9200
고객 서비스:
전화: +1-408-414-9665
팩스: +1-408-414-9765
전자 메일:
usasales@powerint.com

중국(상하이)

Room 1601/1610, Tower 1
Kerry Everbright City
No. 218 Tianmu Road West
Shanghai, P.R.C. 200070
전화: +86-21-6354-6323
팩스: +86-21-6354-6325
전자 메일:
chinasales@powerint.com

중국(선젠)

Rm A, B & C 4th Floor, Block C,
Electronics Science and
Technology Bldg., 2070
Shennan Zhong Rd,
Shenzhen, Guangdong,
China, 518031
전화: +86-755-8379-3243
팩스: +86-755-8379-5828
전자 메일:
chinasales@powerint.com

독일

Rüeckertstrasse 3
D-80336, Munich
Germany
전화: +49-89-5527-3910
팩스: +49-89-5527-3920
전자 메일:
eurosales@powerint.com

인도

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
전화: +91-80-4113-8020
팩스: +91-80-4113-8023
전자 메일:
indiasales@powerint.com

이탈리아

Via De Amicis 2
20091 Bresso MI
Italy
전화: +39-028-928-6000
팩스: +39-028-928-6009
전자 메일:
eurosales@powerint.com

일본

Kosei Dai-3 Bldg.
2-12-11, Shin-Yokomana,
Kohoku-ku
Yokohama-shi Kanagwan
222-0033 Japan
전화: +81-45-471-1021
팩스: +81-45-471-3717
전자 메일:
japansales@powerint.com

한국

대한민국 서울특별시
강남구 삼성동
도심 공향 터미널 빌딩 159-6
6층 RM 602, 우편번호: 135-728
전화: +82-2-2016-6610
팩스: +82-2-2016-6630
전자 메일:
koreasales@powerint.com

싱가포르

51 Newton Road
#15-08/10 Goldhill Plaza
Singapore, 308900
전화: +65-6358-2160
팩스: +65-6358-2015
전자 메일:
singaporesales@powerint.com

대만

5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei, Taiwan 114, R.O.C.
전화: +886-2-2659-4570
팩스: +886-2-2659-4550
전자 메일:
taiwansales@powerint.com

유럽 본사

1st Floor, St. James's House
East Street, Farnham
Surrey GU9 7TJ
United Kingdom
전화: +44 (0) 1252-730-141
팩스: +44 (0) 1252-727-689
전자 메일:
eurosales@powerint.com

애플리케이션 핫라인

전 세계 +1-408-414-9660

애플리케이션 팩스

전 세계 +1-408-414-9760